SIEMENS

SIPMOS Leistungstransistoren

Technologie · Schaltverhalten Schutzschaltungen · Ansteuerschaltungen · Anwendungsbeispiele

Technische Beschreibung
Ausgabe 1985

Inhaltsverzeichnis

Seite

SIPMOS® (Siemens-Power-Metal-Oxid-Semiconductor), **ein eingetragenes Warenzeichen der Siemens AG.**

1 Einführung

SIPMOS-Transistoren sind selbstsperrende Feldeffekt-Transistoren mit den Anschlüssen Gate, Source und Drain. Durch Anlegen einer Spannung zwischen Gate und Source wird der Kanalwiderstand zwischen Drain und Source gesteuert. Man unterscheidet N-Kanal- und P-Kanal-Transistoren. N-Kanal-Typen werden mit einer positiven Gate-Source-Spannung gesteuert und sperren positive Drain-Source-Spannungen. Bei P-Kanal-Dotierung sind die Spannungspolaritäten umgekehrt. SIPMOS-Transistoren besitzen ein unsymmetrisches Sperrverhalten, d.h. ein N-Kanal-Transistor ist nur in der Drain-Source-Richtung sperrfähig. In der Gegenrichtung ist die Inversdiode leitend.

Das Typenspektrum bei N-Kanal-Transistoren ist gegenüber den P-Kanal-Transistoren umfangreicher. Die Ursache liegt an der physikalisch bedingten besseren Leitfähigkeit des N-Kanals. Bei MOS-Transistoren gleicher Sperrspannung und Chipfläche ist der Drain-Source-On-Widerstand $R_{DS(on)}$ eines P-Kanal-Transistors mehr als doppelt so hoch. Zudem steigt der Fertigungsaufwand, so daß sich das Preis-Leistungsverhältnis zugunsten des N-Kanal-Transistors verschiebt. Jeder N-Kanal-Transistor ist bei entsprechender Ansteuerung anstelle eines P-Kanal-Transistors einsetzbar.

1.1 Merkmale

- Spannungsgesteuert
- Hohe Schaltleistung
- Einfaches Parallelschalten
- Extrem kurze Schaltzeiten
- Schaltzeit einstellbar
- Keine Speicherzeit
- Hohe Grenzfrequenz
- Hohe Strom- und Spannungsfestigkeit
- Überlastsicherheit (kein „Second Breakdown")
- Linearer Kennlinienverlauf

1.2 Einsatzmöglichkeiten (Auswahl)

- Schaltnetzteile
- Motorsteuerungen
- Gleichspannungswandler
- Wechselrichter
- Näherungsschalter
- Breitbandverstärker
- NF-Verstärker
- Ultraschallgeneratoren
- Unterbrechungsfreie Stromversorgung
- Flimmerfreie Monitore

1.3 Literaturhinweise

- Lieferprogramm:
  - SIPMOS-Transistoren B3-B3336
- Broschüren:
  - Zuverlässigkeit von SIPMOS-Transistoren B/2910
  - Schutzmaßnahmen gegen elektrostatische Aufladungen B/2909
- Schaltbeispiele:
  - Sperrwandler-SNT B/3032
  - Tiefsetzsteller B/2987
  - Schaltnetzteil B/3031
  - Durchflußwandler-SNT B/3030
  - Umrichterschaltungen für Drehstrommotoren B/2906
  - Induktiver Näherungsschalter B/3093
  - Batteriebetriebenes 100-kHz-Lampenvorschaltgerät B1-B3192
  - DC/DC-Wandler von 12 V auf +25 V/180 W B1-B3191
- Datenbuch:
  - SIPMOS-Kleinsignal- und Leistungstransistoren B3-B3209

2 Technologie

2.1 Aufbau des SIPMOS-Leistungstransistors

SIPMOS-Transistoren sind vertikal aufgebaut und haben eine doppelt implantierte Kanalstruktur, man spricht daher auch von einem DIMOS-Prozeß (vgl. Bild 1). Bei einem N-Kanal-Transistor dient das n^+-Substrat mit der darunterliegenden Drainmetallisierung als Träger. Über dem n^+-Substrat schließt sich eine n^--Epitaxieschicht an, die je nach Sperrspannung verschieden dick und entsprechend dotiert ist. Das darüberliegende Gate aus n^+-Polysilizium ist in isolierendes Siliziumdioxid eingebettet. Die Sourcemetallisierung überdeckt die gesamte Struktur und schaltet die einzelnen Transistorzellen des Chips parallel.

Die Sourcemetallisierung bildet so einen sicheren Kurzschluß zwischen dem n^+- und p-Sourcegebiet (vgl. Bild 2). Dadurch wird die Basis-Emitter-Strecke des parasitären vertikalen n^+ pn^--Bipolar-Transistors kurzgeschlossen (vgl. Bild 3). Das ist notwendig, um ein Einschalten des Transistors bei dynamischen Vorgängen zu vermeiden. Selbst durch hohe Spannungssteilheiten zwischen Drain und Source werden die parasitären npn-Transistoren bei reinem Transistorbetrieb durch Ströme über die Drain-Source-Kapazität nicht eingeschaltet. Dieser Effekt muß jedoch beachtet werden, wenn in der Inversdiode hohe Kommutierungssteilheiten auftreten (vgl. Abschnitt 3.3). Die Basis-Kollektor-Diode (pn^--Übergang) entspricht dabei der SIPMOS-Inversdiode.

Bild 1
Aufbau eines N-Kanal-SIPMOS-Transistors

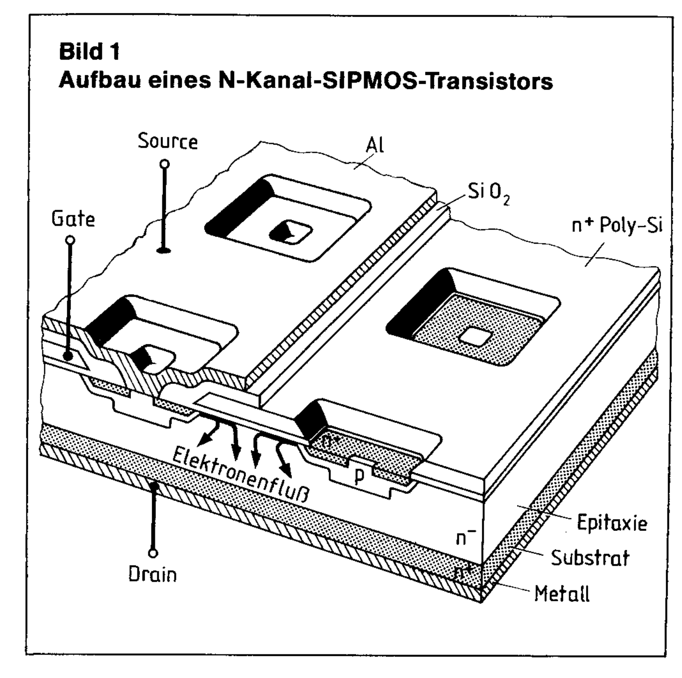
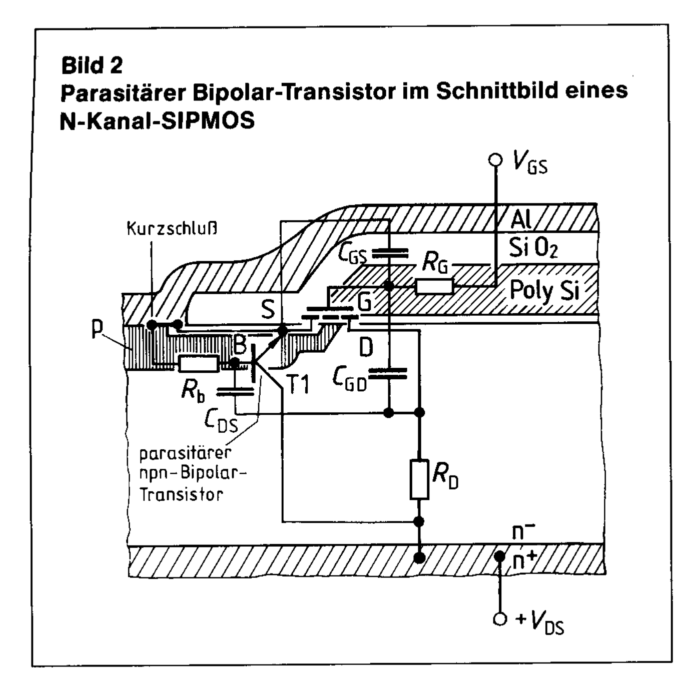


Bild 2
Parasitärer Bipolar-Transistor im Schnittbild eines N-Kanal-SIPMOS



Der erwähnte vertikale Transistoraufbau gewährleistet eine optimale Chipflächen-Ausnutzung, garantiert eine gute Wärmeableitung und ermöglicht hohe Sperrspannungen. Die Doppelimplantation mit den extrem kurzen Kanallängen erlaubt sehr hohe Stromsteilheiten. Der SIPMOS-Chip ist mit der Drainseite (Drainmetallisierung) durch einen leitfähigen Epoxidharzkleber auf dem Gehäuseboden befestigt. Für Leistungsbauelemente war diese Art der Kontaktierung und Befestigung bisher nicht üblich. Man erreicht jedoch dadurch ein erheblich besseres Wechsellastverhalten der Transistoren gegenüber konventionell gelöteten Bauelementen. Die Kontaktierung von Source und Gate auf der Chip-Oberseite erfolgt durch Ultraschallbonden mit Aluminiumdrähten.

2.2 Ersatzschaltbild

Man geht davon aus, daß zwischen den Anschlüssen komplexe Leitwerte und Bahnwiderstände auftreten. Dabei zeigen die Leitwerte zwischen den Anschlüssen bei gesperrtem Transistor kapazitives Verhalten. Die Kapazitäten heißen: Drain-Source-Kapazität C_{DS}, Gate-Source-Kapazität C_{GS} und Gate-Drain-Kapazität C_{GD} (auch Miller-Kapazität C_{Mi}). Der Gate-Bahnwiderstand R_G in der Größenordnung von einigen Ohm ist stark von der Chipgeometrie abhängig. In der Drain-Source-Strecke befindet sich im eingeschalteten Zustand der Drain-Source-Widerstand $R_{DS(on)}$, der sich im wesentlichen aus der Summe des n^--Epitaxieschicht-Widerstandes R_D und dem Kanalwiderstand R_K zusammensetzt (vgl. Bild 4).

Bei Niederspannungstransistoren ($V_{DS} \leq 100$ V) dominiert der Kanalwiderstand R_K, bei höher sperrenden Typen ($V_{DS} > 100$ V) der Epitaxieschicht-Widerstand R_D (siehe vereinfachte Ersatzschaltbilder 5 und 6). Bei den Ersatzschaltbildern handelt es sich um Näherungen, da auf einem Chip bis zu 6000 Transistor-Einzelzellen parallelgeschaltet sind. Man hat es also mit verteilten Kapazitäten und Bahnwiderständen zu tun, und diese ändern sich teilweise in Abhängigkeit der Drain-Source-Spannung.

Die Spannungsabhängigkeit der Gate-Drain- oder Miller-Kapazität hat auf das Schaltverhalten wesentlichen Einfluß. Bei einer vereinfachten Darstellung ergibt sich bei Drain-Source-Spannungen kleiner gleich der Gate-Source-Steuerspannung ein sprunghaftes Ansteigen der Miller-Kapazität (etwa Faktor 10, vgl. Bild 7). Tatsächlich setzt die Kapazitätserhöhung schon etwas früher ein und nimmt zur idealisierten Sprungstelle exponentiell zu (vgl. Kurven im Datenblatt).

Die im Ersatzschaltbild angegebenen Kapazitäten sind nur als verknüpfte Größen zu betrachten und nicht einzeln meßbar (Bild 8). Zwischen den Kapazitäten besteht unter Vernachlässigung der Bahnwiderstände folgender Zusammenhang:

Eingangskapazität: $C_{iss} \approx C_{GS} + C_{GD}$

Rückwirkungskapazität: $C_{rss} \approx C_{GD}$

Ausgangskapazität: $C_{oss} \approx C_{DS} + C_{GD}$ ($C_{GD} \triangleq C_{Mi}$)

Dabei beziehen sich die tabellierten Datenbuchangaben auf einen bestimmten Arbeitspunkt.

2.3 Kennlinienfeld

Liegt positive Drain-Source-Spannung bei Steuerspannung $V_{GS} = 0$ V an einem N-Kanal-Transistor, so fließt ein temperatur- und spannungsabhängiger Sperrstrom. Die-

Bild 3
Ersatzschaltbild mit parasitärem Bipolar-Transistor

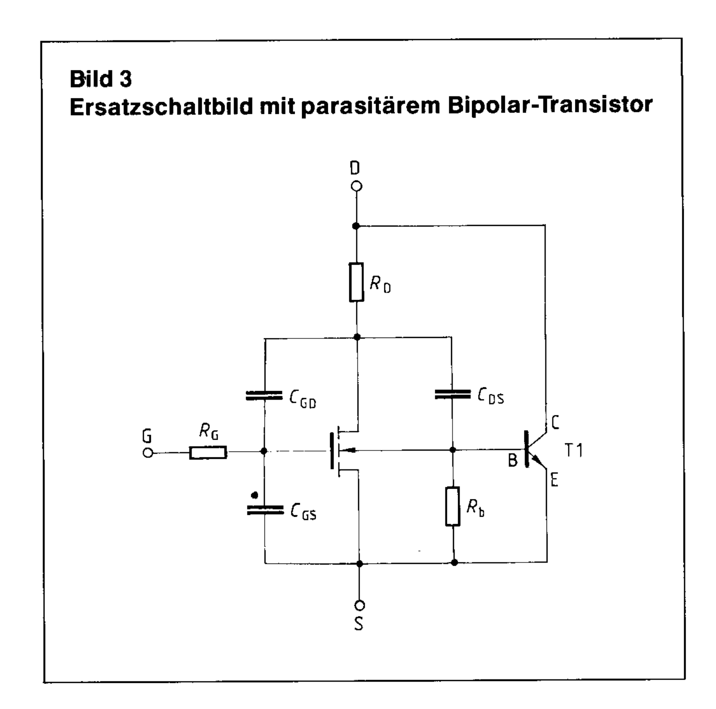
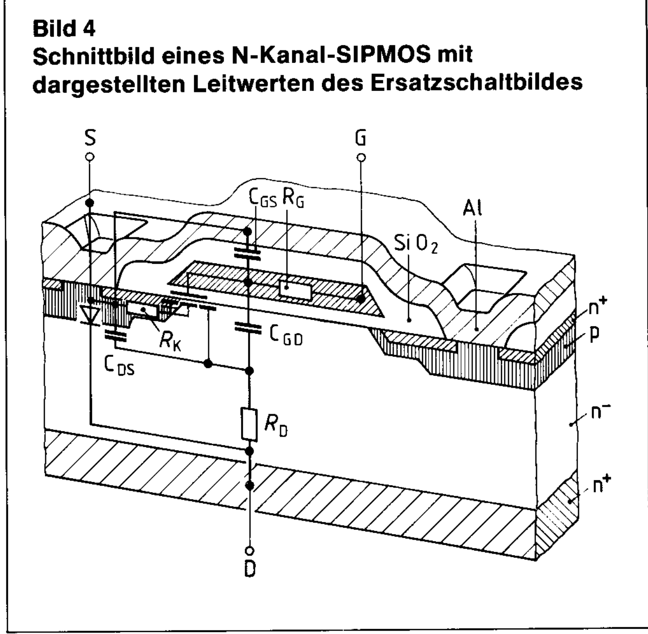


Bild 4
Schnittbild eines N-Kanal-SIPMOS mit dargestellten Leitwerten des Ersatzschaltbildes



ser Sperrstromgrenzwert ist in den Datenblättern spezifiziert und beträgt typisch wenige nA. Steigert man die Gate-Source-Steuerspannung, so bleibt der Transistor gesperrt, bis die Gate-Source-Einsatzspannung (Gate-Source-Schwellenspannung $V_{GS(th)}$) erreicht ist. Die Einsatzspannung $V_{GS(th)}$ liegt bei Leistungs-FET zwischen 2,1 und 4,0 V, bei $I_D = 10$ mA, während sie bei Kleinsignal-FET zwischen 0,8 V und 2,8 V und $I_D = 1$ mA liegt.

Der Temperaturkoeffizient beträgt bei Leistungs-FET −5 mV/°C und −3 mV/°C bei Kleinsignal-FET. Erhöht man die Steuerspannung über die Einsatzspannung hinaus, nimmt der Drainstrom entsprechend der Transfer-Kennlinie zu (Übertragungscharakteristik $I_D = f[V_{GS}]$, Bild 9). Die Steilheit ist nicht linear, sie liegt in einem Bereich zwischen 1 S und 20 S und hängt vom Transistortyp ab (vgl. Datenblatt).

Bei einer Gate-Source-Spannung unterhalb der Einsatzspannung ist der Transistor vollständig gesperrt. Eine negative Gate-Source-Spannung erhöht die Sperrfähigkeit nicht, d. h. das gesamte Kennlinienfeld kann mit Steuerspannungen einer Polarität durchfahren werden.

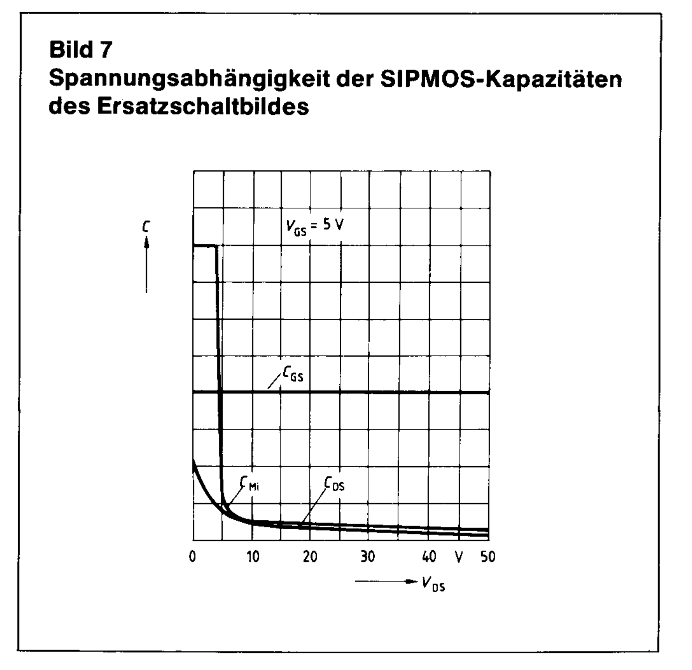


Bild 7
Spannungsabhängigkeit der SIPMOS-Kapazitäten des Ersatzschaltbildes

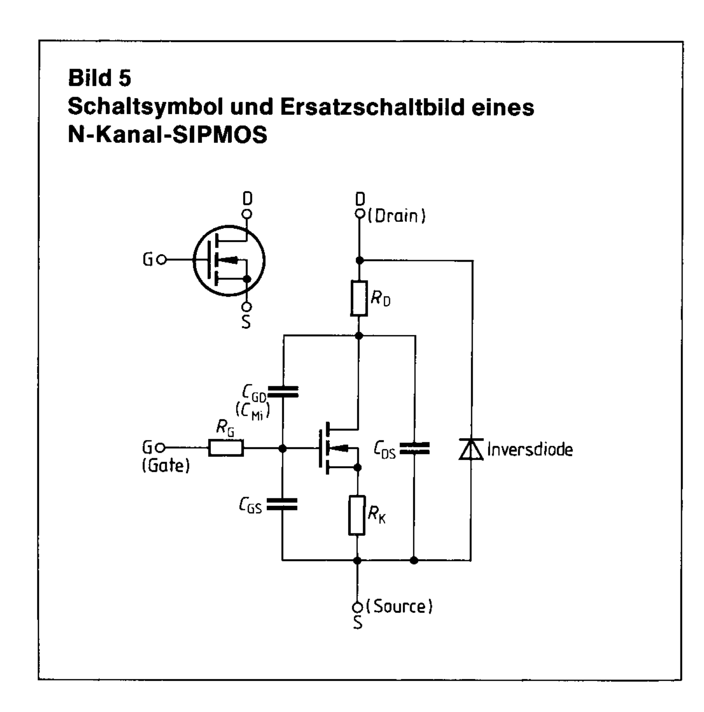


Bild 5
Schaltsymbol und Ersatzschaltbild eines N-Kanal-SIPMOS

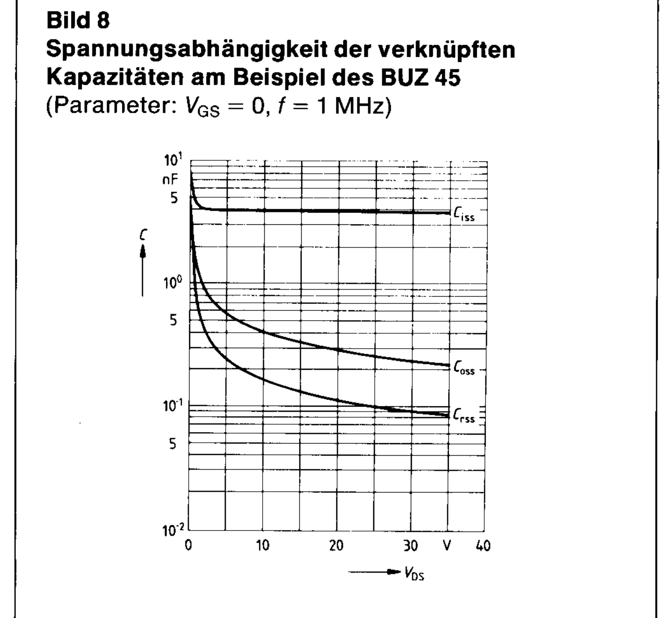


Bild 8
Spannungsabhängigkeit der verknüpften Kapazitäten am Beispiel des BUZ 45
(Parameter: $V_{GS} = 0$, $f = 1$ MHz)

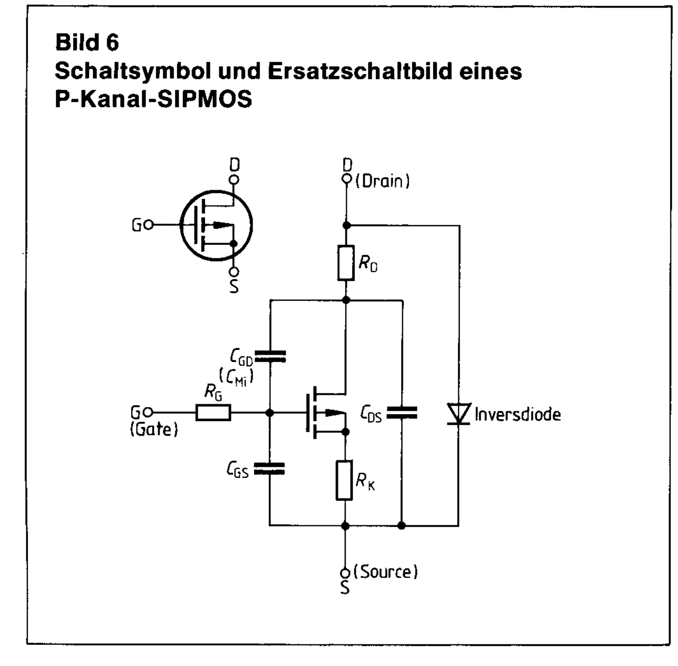


Bild 6
Schaltsymbol und Ersatzschaltbild eines P-Kanal-SIPMOS

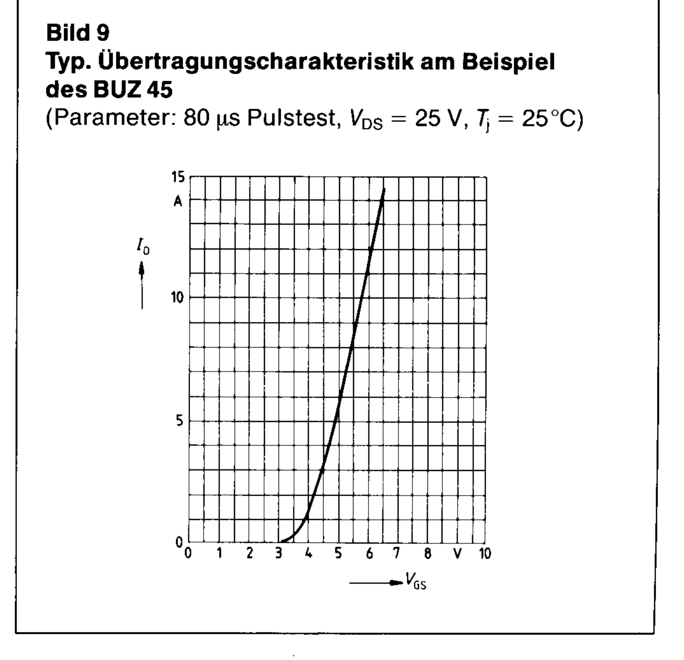


Bild 9
Typ. Übertragungscharakteristik am Beispiel des BUZ 45
(Parameter: 80 µs Pulstest, $V_{DS} = 25$ V, $T_j = 25$°C)

Der Maximalwert der Gate-Source-Spannung beträgt ± 20 V. Dieser Wert darf auch nicht kurzzeitig überschritten werden, da sonst der Transistor zerstört werden kann.

Mißt man den Drainstrom in Abhängigkeit zur Drain-Source-Spannung mit dem Parameter Gate-Source-Steuerspannung, so erhält man das Ausgangskennlinienfeld (vgl. Bild 10).

Im Einzustand verhält sich der Transistor wie ein ohmscher Widerstand, d.h. es fließen positive und negative Drainströme. Im III. Quadranten des Kennlinienfeldes tritt selbstverständlich nur insoweit ein ohmsches Verhalten auf, wie die Inversdioden-Schwellenspannung noch nicht überschritten ist (vgl. Bild 11). Dieses Verhalten ist besonders dann wichtig, wenn Gleichrichterschaltungen mit extrem niederen Durchlaßspannungen realisiert werden sollen, oder, wenn die Inversdioden-Sperrverzögerungszeit durch das Aufsteuern des Transistors verkürzt werden soll.

Bild 10
Typ. Ausgangscharakteristik am Beispiel des BUZ 45
(Parameter: 80 µs Pulstest, T_C = 25°C)

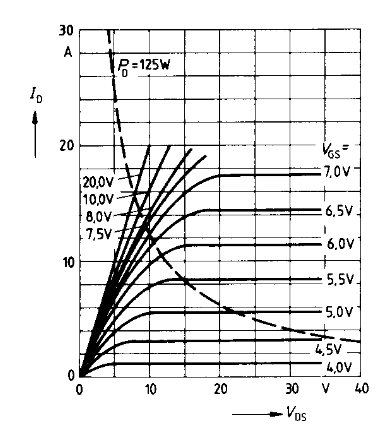
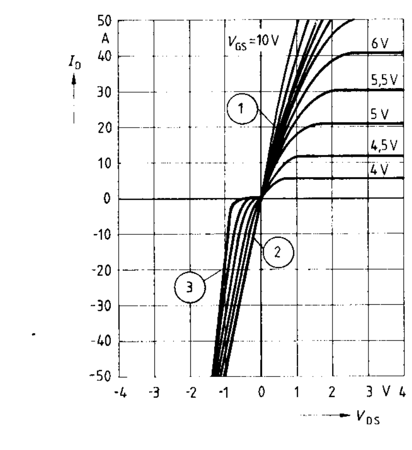


Bild 11
Ausgangscharakteristik mit Inversdioden-Verhalten
① Transistor-Ausgangskennlinien
② Inverstransistor-Ausgangskennlinien
③ Inversdioden-Durchlaßkennlinie



2.4 Schaltvorgänge

SIPMOS-Transistoren benötigen im stationären Betriebszustand keinen Steuerstrom, da sie spannungsgesteuert sind. Bei jeder Betriebszustandsänderung entstehen jedoch Umladeströme der Eingangskapazitäten. Während diese Ströme im NF-Bereich (Analogbetrieb) kaum von Bedeutung sind, müssen sie bei HF-Anwendungen und im Schaltbetrieb beachtet werden. Da SIPMOS-Transistoren vornehmlich als Schalter eingesetzt werden, wird deshalb das Schaltverhalten besonders erläutert.

Die Schaltzeit eines SIPMOS-Transistors wird nur durch das Umladen der Eingangskapazität bestimmt. Durch die freie Wahl des Innenwiderstandes R_i der Ansteuerschaltung läßt sich die Schaltzeit von SIPMOS-Transistoren in einem weiten Bereich einstellen. Die Grenze für einen hochohmigen Innenwiderstand ist infolge erhöht auftretender Schaltverluste durch die thermische Belastbarkeit gegeben. Bei einem niederohmigen Innenwiderstand ergibt sich eine Begrenzung des Umladestroms der Eingangskapazität durch den Gate-Bahnwiderstand und die Induktivität des Steuerkreises.

2.4.1 Schalten bei ohmscher Last

Zum Einsatz kommt ein Ansteuergenerator mit definiertem Innenwiderstand R_i, der eine Rechteckausgangsspannung liefert (vgl. Meßschaltung für Schaltzeiten im Datenbuch).

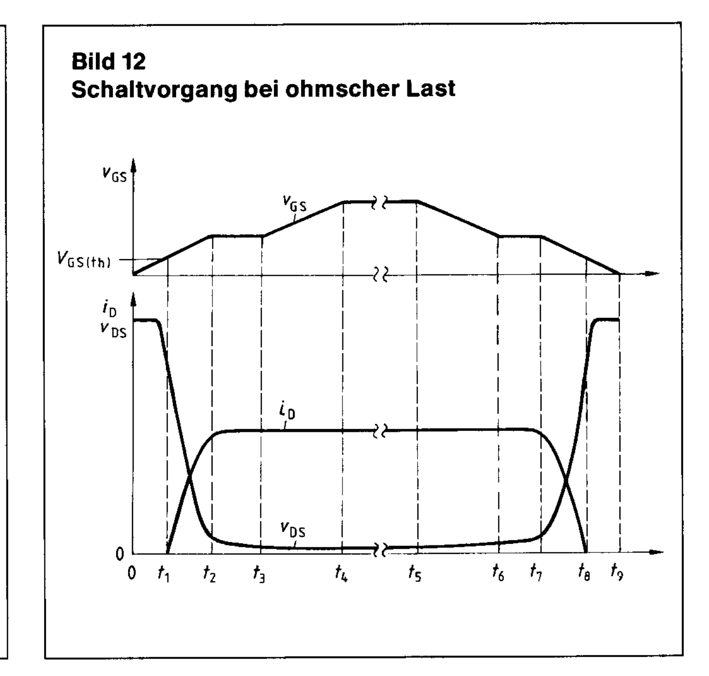
Einschaltvorgang

Zum Zeitpunkt t_0 wird der Transistor angesteuert (vgl. Bild 12). Die Gate-Source-Spannung V_{GS} steigt entsprechend dem Ladevorgang, der durch die Eingangskapazität C_{iss} und den Innenwiderstand R_i der Steuerschaltung entsteht.

Sobald die Einsatzspannung im Zeitpunkt t_1 erreicht ist, beginnt der Transistor Strom zu führen. Die Drain-Source-Spannung sinkt entsprechend dem zunehmenden Spannungsabfall am Lastwiderstand.

Im Zeitabschnitt t_1 bis t_2 steigt der Drainstrom. Dabei wird die zu diesem Zeitpunkt kleine Miller-Kapazität mit dem

Bild 12
Schaltvorgang bei ohmscher Last



Drain-Source-Spannungshub entladen, und gleichzeitig nimmt die Gate-Source-Spannung entsprechend der Transfer-Kennlinie zu (vgl. Bild 9).

Im Zeitpunkt t_2 ist die Drain-Source-Spannung V_{DS} gleich der Gate-Source-Spannung V_{GS}. Nun wirkt die stark erhöhte Miller-Kapazität.

Im Zeitabschnitt t_2 bis t_3 arbeitet der Transistor als Miller-Integrator, d. h., die Gate-Source-Spannung bleibt konstant, während der Gate-Ladestrom über die Miller-Kapazität fließt und zu einer weiteren Drain-Source-Spannungsabsenkung führt.

Im Zeitpunkt t_3 hat die Drain-Source-Spannung das Analogbereichsende des Ausgangs-Kennlinienfeldes und die Miller-Kapazität ihren größten Wert erreicht. Im Verlauf t_3 bis t_4 wird die Eingangskapazität C_{iss} auf das Niveau der angelegten Steuerspannung geladen. Dabei verringert sich der Kanalwiderstand weiter. Dies ist im Kennlinienfeld an der Kurvenscharscherung im ohmschen Bereich ersichtlich.

Im Zeitpunkt t_4 hat der Transistor seinen niedrigsten Durchlaßwiderstand (Einschaltwiderstand $R_{DS(on)}$) erreicht (entspricht der Drain-Source-Restspannung dividiert durch den Drainstrom).

Abschaltvorgang

Der Abschaltvorgang wird im Zeitpunkt t_5 durch Ausschalten der Steuerspannung eingeleitet. Die zu diesem Zeitpunkt höchste Eingangskapazität C_{iss} entlädt sich über den Innenwiderstand R_i des Ansteuergenerators. Die Gate-Source-Spannung sinkt auf einen Wert, bei dem der momentane Drainstrom gerade noch im ohmschen Bereich des Kennlinienfeldes geführt werden kann.

Dies ist im Zeitpunkt t_6 erreicht, wobei der Durchlaßwiderstand geringfügig zugenommen hat.

Im Zeitabschnitt t_6 bis t_7 wirkt der Transistor wiederum als Miller-Integrator, d. h., die Gate-Source-Spannung bleibt konstant, während der Gate-Steuerstrom vollständig über die noch immer erhöhte Miller-Kapazität fließt und zu einem Drain-Source-Spannungsanstieg führt.

Im Zeitpunkt t_7 herrscht Spannungsgleichheit zwischen der momentanen Gate-Source-Spannung und der Drain-Source-Spannung, d. h., die Miller-Kapazität sinkt auf einen kleinen Wert.

Im Zeitabschnitt t_7 bis t_8 erfolgt die Ladung der nun kleineren Miller-Kapazität entsprechend der rasch ansteigenden Drain-Source-Spannung. Gleichzeitig nimmt der Drainstrom entsprechend dem sinkenden Spannungsabfall am Lastwiderstand ab, ebenso die Gate-Source-Spannung. Im Zeitpunkt t_8 ist die Einsatzspannung erreicht und der Transistor vollständig gesperrt. Danach folgt die Entladung der Eingangskapazität auf das Steuerspannungsniveau im Zeitabschnitt t_8 bis t_9.

2.4.2 Schalten bei getakteter induktiver Last

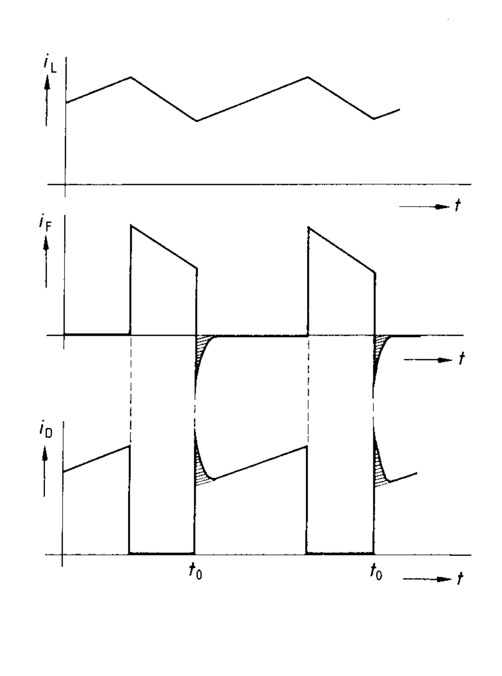
Im eingeschwungenen Zustand fließt durch die induktive Last und durch die Freilaufdiode ein Strom, der sich für die Dauer des Einschaltens nicht verändert (vgl. Bild 13).

Einschaltvorgang

Der SIPMOS-Transistor ist gesperrt und wird im Zeitpunkt t_0 mit einer Rechteckspannung gesteuert (vgl. Bild 14). Die Gate-Source-Spannung V_{GS} steigt entsprechend dem Ladevorgang, der durch die Eingangskapazität C_{iss} des Transistors und den Innenwiderstand R_i der Steuerschaltung entsteht. Im Zeitpunkt t_1 ist die Einsatzspannung erreicht.

Bild 13
Schaltverhalten bei getakteter induktiver Last

i_L ≙ Laststrom
i_F ≙ Diodenstrom
i_D ≙ Transistorstrom



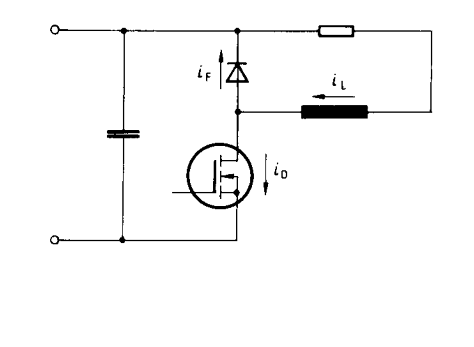
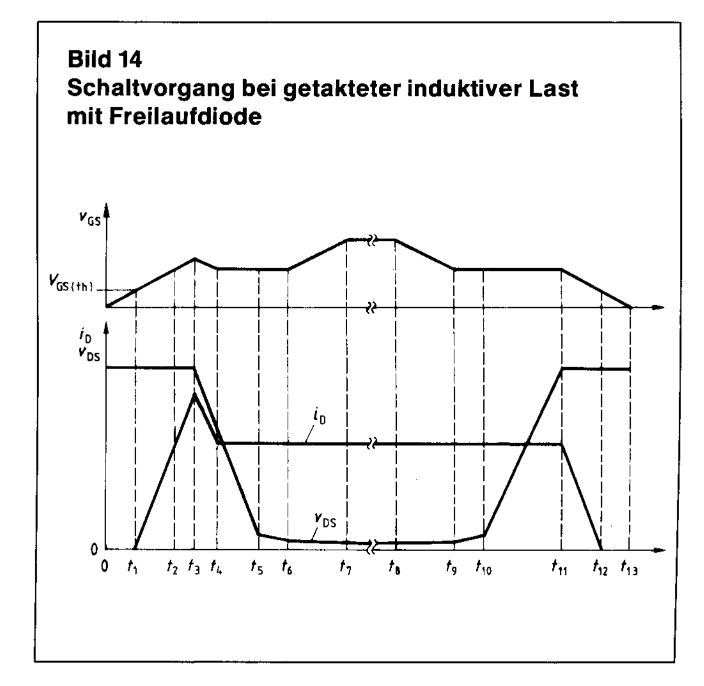


Bild 14
Schaltvorgang bei getakteter induktiver Last mit Freilaufdiode



Im Zeitabschnitt t_1 bis t_2 steigt der Drainstrom proportional zur Gate-Source-Spannung, während die Drain-Source-Spannung unverändert auf dem Niveau der Betriebsspannung bleibt. Im Zeitpunkt t_2 übernimmt der Transistor vollständig den Laststrom. Im folgenden Zeitabschnitt t_2 bis t_3 steigt der Drainstrom weiter, da sich zum Laststrom der Diodenrückstrom addiert. Das Maximum des Drainstromes tritt im Zeitpunkt t_3, dem Umkehrpunkt des Diodenrückstromes, auf. Bis zu diesem Zeitpunkt ist die Drain-Source-Spannung unverändert und gleich der Betriebsspannung. Die Gate-Source-Spannung hat einen Wert erreicht, bei dem der Transistor den auftretenden Spitzenstrom führen kann. Im Zeitabschnitt t_3 bis t_4 sinkt die Drain-Source-Spannung, während die Diodensperrspannung in gleichem Maße zunimmt. Die Drain-Source-Spannung fällt normalerweise so schnell, wie die Miller-Kapazität vom augenblicklichen Gate-Steuerstrom umgeladen wird. Während dieser Betriebsphase bleibt die Gate-Source-Spannung konstant (Miller-Integrator), wie das im folgenden Zeitabschnitt t_4 bis t_5 der Fall ist.

Im Zeitabschnitt t_3 bis t_4 jedoch beeinflußt die Drainstromänderung, die durch den abnehmenden Diodenrückstrom verursacht wird, den Schaltvorgang zusätzlich. Bei sinkendem Drainstrom wird die Gate-Source-Kapazität über die Miller-Kapazität entladen. Die Gate-Source-Spannung sinkt soweit, daß der momentane Drainstrom fließen kann. Deshalb kommt in diesem Zeitabschnitt eine wesentlich steilere Drain-Source-Spannungsflanke zustande. Die Vorgänge, die zum Spannungsverlauf an der Drain-Source-Strecke im Zeitabschnitt t_3 bis t_4 führen, sind unbedingt zu beachten. Beim niederohmigen Ansteuern eines SIPMOS-Transistors entsteht eine hohe Anstiegsgeschwindigkeit des Drainstroms und damit gleichzeitig eine zu hohe Kommutierungssteilheit des Freilaufdiodenstroms. Die Folge ist ein hoher Diodenrückstrom, der nach Erreichen seines Maximums steil abreißt. Die Stromänderungsgeschwindigkeit des abklingenden Diodenrückstroms verursacht Spannungsüberhöhungen in der Schaltung und bewirkt zusammen mit den SIPMOS-Kapazitäten extrem steile Drain-Source-Spannungsflanken.

Da die Freilaufdiode in Brückenschaltungen durch die Inversdiode des anderen SIPMOS-Transistors ersetzt wird, sei vermerkt, daß eben dieser Betriebsfall im Hinblick auf das Einschalten des parasitären Transistors kritisch ist. Um das zu verhindern, wurde der SIPMOS-FREDFET entwickelt (**F**ast-**R**ecovery-**E**pitaxial-**D**iode-**F**ield-**E**ffect-**T**ransistor). Die Inversdiode dieses Transistors weist eine extrem kurze Sperrverzögerungszeit auf. Dadurch sinken die Rückströme während der Kommutierung so weit, daß ein Einschalten und ein zweiter Durchbruch des parasitären Transistors nicht mehr auftreten kann.

Im Zeitpunkt t_5 ist die Drain-Source-Spannung gleich der Gate-Source-Spannung; die Miller-Kapazität erhöht sich stark. Im weiteren Verlauf t_5 bis t_6 findet eine Drain-Source-Spannungssenkung statt, wobei der Transistor nun mit der erhöhten Miller-Kapazität als Integrator wirkt. Im Zeitabschnitt t_6 bis t_7 steigt die Gate-Source-Spannung auf das Niveau der angelegten Steuerspannung.

Abschaltvorgang

Der Abschaltvorgang beginnt im Zeitpunkt t_8. Im Zeitpunkt t_9 hat die Gate-Source-Spannung einen Wert erreicht, bei dem der Transistor den momentanen Drainstrom gerade noch im ohmschen Bereich des Kennlinienfeldes führen kann. Im Zeitabschnitt t_9 bis t_{10} wirkt der Transistor als Miller-Integrator mit erhöhter Miller-Kapazität. Im Zeitpunkt t_{11} wird die Freilaufdiode leitend, während die Drain-Source-Spannung V_{DS} konstant bleibt. Nun nimmt der Drainstrom proportional zur Gate-Source-Spannung V_{GS} ab und wird im Zeitpunkt t_{12} Null, wenn die Gate-Source-Spannung auf die Einsatzspannung gesunken ist. Im Zeitabschnitt t_{12} bis t_{13} wird die Eingangskapazität auf Null entladen.

Bild 15
Ansteuern im Analogbereich

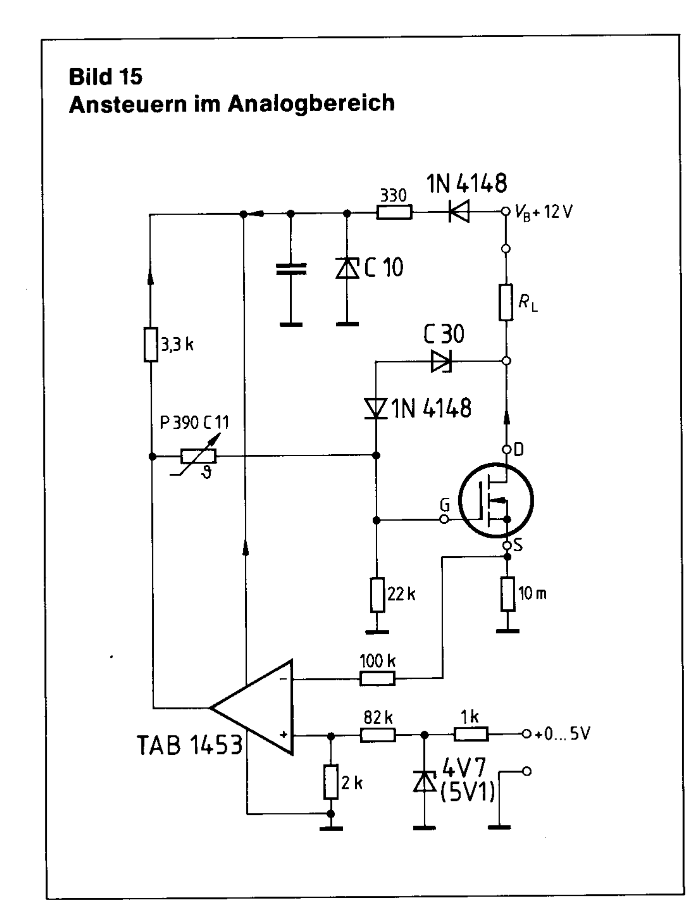
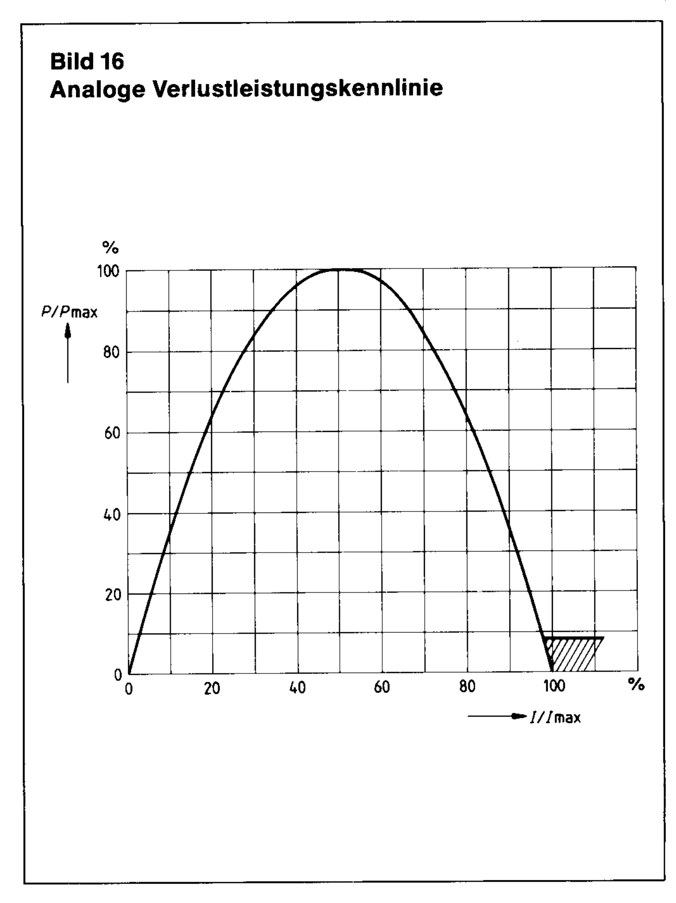


Bild 16
Analoge Verlustleistungskennlinie



2.4.3 Steuern im Analogbereich

Bei Analog-Anwendungen ist es zweckmäßig, aufgrund der Toleranz $V_{GS(th)}$ (Gate-Schwellenspannung) einen Operationsverstärker vorzuschalten (vgl. Bild 15). Die Sollwert-Einstellung (0 ... 5 V) wird dem nicht invertierenden Eingang des Operationsverstärkers über einen Spannungsteiler 40:1 zugeführt. An den Eingang gelangt eine Spannung, die von einem Strommeßwiderstand im Sourcekreis (10 mV) abgeleitet wird. Der Operationsverstärker regelt den über die Transistoren fließenden Strom so, daß zwischen eingespeister und rückgeführter Spannung immer ein Gleichgewicht herrscht, d.h., die Schaltung wirkt gleichzeitig als Strombegrenzer. Durch die hohe Schleifenverstärkung des Regelkreises gehen Toleranzen der Transistoren praktisch nicht mehr ein. Die max. Belastbarkeit dieser Schaltung zeigt die Verlustleistungsparabel in Bild 16.

2.5 Sicherer Arbeitsbereich (SOA)

Der SIPMOS-Transistor ist aufgrund seiner Technologie ein überaus robustes Bauelement. Die Zellenstruktur bewirkt eine vorteilhafte Verlustwärmeverteilung im Chip und der positive Temperaturkoeffizient aller an der Stromführung beteiligten Bereiche sorgt für eine Eigenstabilisierung und die Source-Metallisierung bildet einen sicheren Kurzschluß für die Basis-Emitter-Strecke des im Transistor enthaltenen parasitären Bipolar-Transistors. Auf diese Weise wird ein Aufsteuern dieses Bipolar-Transistors mit der möglichen Folge eines zweiten Durchbruchs in allen Betriebsfällen verhindert (ausgenommen bei zu hohen Kommutierungssteilheiten des Inversdiodenstroms).

Besonders erwähnenswert ist die hohe Strombelastbarkeit eines SIPMOS-Transistors. So ist z.B. ein gepulster Drainstrom in vierfacher Höhe zulässig (bezogen auf den zulässigen DC-Drainstrom).

Kurzzeitig darf dieser Pulsdrainstrom sogar bei maximaler Sperrspannung geführt werden (vgl. Bild 17). Dabei darf die Sperrspannung jedoch nicht, auch nicht kurzzeitig, überschritten werden. Neben den im Datenblatt angegebenen Grenzwerten für den Draingleichstrom ist der thermische Widerstand (Sperrschicht-Kühlmedium) maßgebend für den tatsächlich zulässigen Drainstrom im Betrieb.

SOA = **S**afe **O**perating **A**rea

Bild 17
Sicherer Arbeitsbereich (SOA) am Beispiel des BUZ 45
(Parameter: D = 0,01, T_C = 25°C)

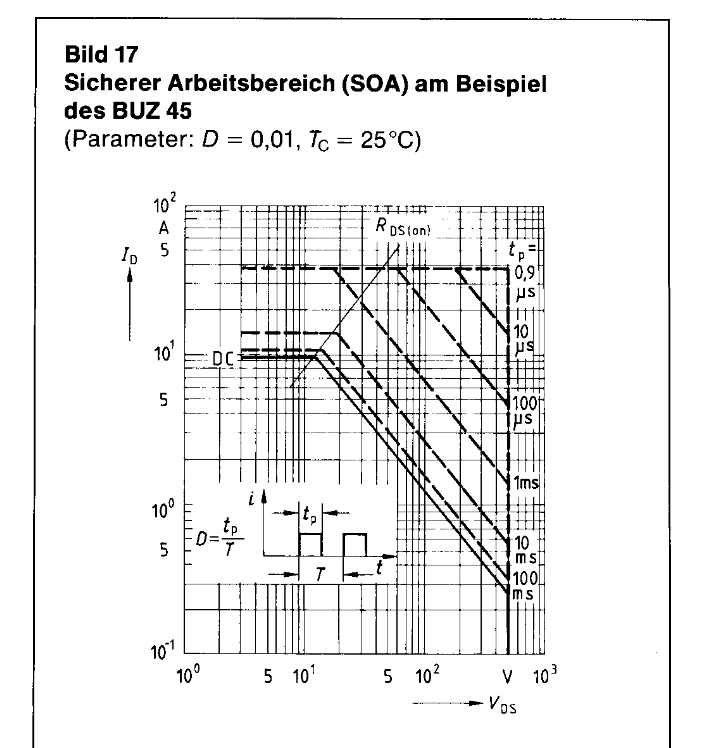
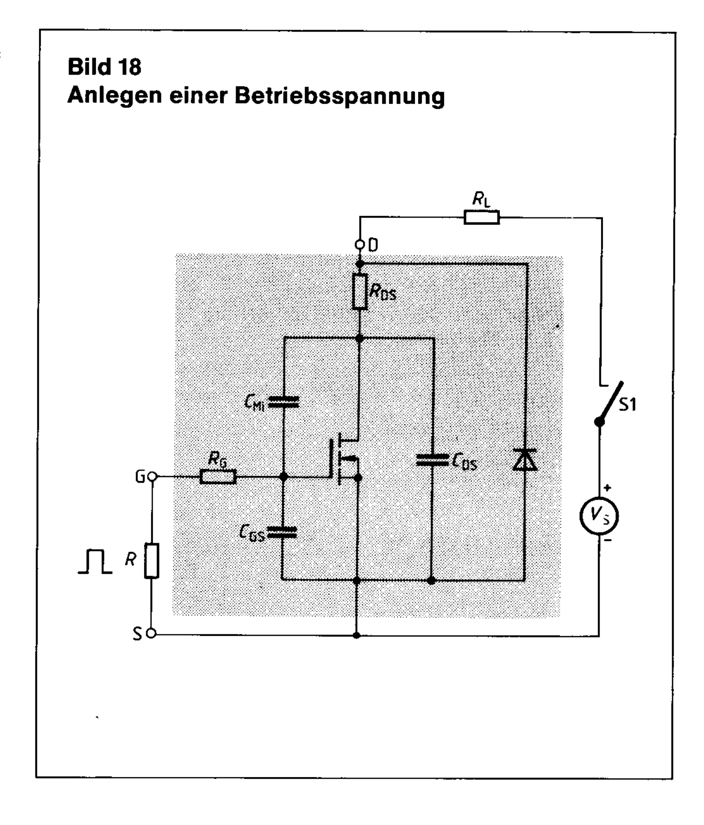


Bild 18
Anlegen einer Betriebsspannung



3 Schaltverhalten

3.1 Steuern im Schaltbetrieb

3.1.1 Anlegen einer Betriebsspannung

Liegt eine Drain-Source-Betriebsspannung V_{DS} am Transistor, darf der Gate-Anschluß nicht unbeschaltet bleiben oder hochohmig angesteuert werden. In diesem Falle lädt sich nämlich die Gate-Source-Kapazität C_{GS} über die Gate-Drain-Kapazität $\triangleq C_{Mi}$ auf. Dabei steigt die Gate-Spannung über den typischen Schwellenwert 3 V an und der Transistor wird leitend.

Das geschieht in so stärkerem Maße, je höher die Drain-Spannung bzw. die Betriebsspannung ist. Bereits ein Drain-Spannungshub von 30 V genügt, um den Transistor leitend zu schalten. Hohe Betriebsspannungen können also den Transistor bei hochohmiger Beschaltung bereits beim Einschalten durch thermische Überlastung oder durch Überschreiten der zulässigen Gate-Source-Spannung zerstören. Das wird verhindert, wenn ein Widerstand R zwischen Gate und Source geschaltet ist (vgl. Bild 18). Der Widerstand muß so niederohmig dimensioniert sein, daß die Einschalt-Gate-Spannung die Schwellenspannung 3 V nicht übersteigt (vgl. Abschnitt 4.1).

In der Praxis ist also dafür zu sorgen, daß vor Anlegen der Drain-Source-Betriebsspannung die Ansteuerelektronik mit Spannung versorgt ist. Nur so ist sichergestellt, daß am Gate definierte Schaltzustände herrschen.

3.1.2 Einstellen der Schaltzeit

Ein MOSFET ist ein Leistungsschalter, bei dem die Schaltzeit über die Anstiegszeit des Steuersignals eingestellt werden kann, d. h. der Transistor schaltet immer gerade so schnell, wie es der jeweilige Anwendungsfall erforderlich macht, ohne daß ein Beschaltungsnetzwerk notwendig wird.

Die Flankensteilheit des Steuersignals wird durch einen Gate-Vorwiderstand entsprechend den Erfordernissen angepaßt (vgl. Bild 19). Die durch die Freilaufdiode verursachte Einschaltstromspitze kann durch die Steuersteilheit auf jeden gewünschten Wert begrenzt werden (vgl. Bild 20). Überspannung und Überstrom werden durch eine kleinere Steuersteilheit und damit einen kleineren Drainstromanstieg auf ein tolerierbares Maß begrenzt. Allerdings erhöhen sich dabei die Schaltverluste.

3.1.3 Steuerleistung

SIPMOS-Transistoren benötigen nur beim Einschalten Treiberenergie. Dabei ist die Steuerleistung von der Schaltfrequenz und den Eingangskapazitäten abhängig. Der Energiebedarf ist außerordentlich gering und wird hauptsächlich zum Aufladen der Gate-Drain-Kapazität ($\triangleq C_{Mi}$) benötigt. Allerdings können beim Aufladen der Gate-Drain-Kapazität hohe Spitzenströme entstehen entsprechend $\hat{I}_g = Vgs/R_g$ z. B. $\hat{I}_g = 10\,V/50\,\Omega = 200\,mA$. Beim Ausschalten wird keine Treiberenergie benötigt, da die Transistorkapazitäten gegen Masse entladen werden.

Bei Anwendungen mit kleinen Treiberströmen sollte deshalb mit möglichst niedrigen Gate-Source-Spannungen gearbeitet werden. Dabei muß sichergestellt sein, daß der Transistor beim höchsten zu erwartenden Drainstrom im Widerstandsbereich des Kennlinienfeldes arbeitet (vgl. Abschnitt 4.4). Die Ansteuerleistung beträgt z. B. beim BUZ 80, bei 50 kHz ca. 25 mW. Ein Reduzieren der Gate-Source-Spannung von 12 V auf 8 V verringert die Steuerleistung auf etwa 14 mW.

3.1.4 Strombelastbarkeit und Verluste

Die Strombelastbarkeit eines SIPMOS-Transistors ist durch die maximal abführbare Verlustleistung P_D begrenzt. P_D darf nicht überschritten werden.

Im Schaltbetrieb ist die Gesamtverlustleistung die Summe aus Durchlaß- und Schaltverlusten $P_D = P_F + P_S$. Die Durchlaßverluste sind temperaturabhängig, da der Drain-Source-Einschaltwiderstand $R_{DS(on)}$ mit der Temperatur zunimmt. Der $R_{DS(on)}$ ist im Datenblatt mit 25 °C spezifiziert.

Die Schaltverluste sind abhängig von: Strom, Spannung, Frequenz und Art der Last – sie sind aber wegen der fehlenden Speicherzeit und der hohen Schaltgeschwindigkeit gering und in vielen Fällen vernachlässigbar. Ausnahmen: induktive Lasten in Brückenschaltungen, Frequenzen > 100 kHz und ein bewußtes Verlangsamen der Schaltgeschwindigkeit. Die Schaltverluste P_S entsprechen der Schaltenergie W_e eines Schaltzyklus multipliziert mit der Betriebsfrequenz $P_S = W_e \times f$.

Die Durchlaßverluste errechnen sich nach der Formel $P_F = I_{eff}^2 \times R_{DS\,(on)}$. Dabei ist zu beachten, daß der $R_{DS\,(on)}$ entsprechend der Chip-Temperatur im Betrieb eingesetzt werden muß.

Berechnung von Dauergleichstrom und Verlustleistung am Beispiel des BUZ 45

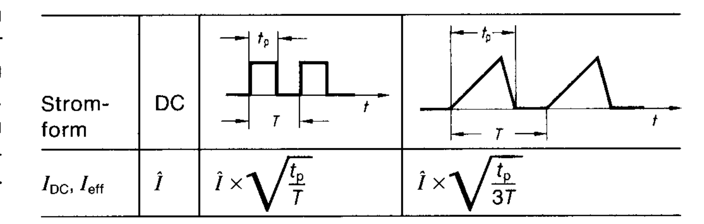
T_C = 25 °C

$R_{DS(on)}$ = 0,6 Ω ($R_{DS(on)}$ bei 25 °C)

$R_{DS(on)}$ = 1,35 Ω ($R_{DS(on)}$ bei 150 °C)

R_{thJC} = 1,0 K/W

t_p/T = 0,5



Stromform	DC	t_p, T, t (Rechteckimpulse)	t_p, T, t (Dreieckimpulse)
I_{DC}, I_{eff}	$\hat{I}$	$\hat{I} \times \sqrt{\frac{t_p}{T}}$	$\hat{I} \times \sqrt{\frac{t_p}{3T}}$

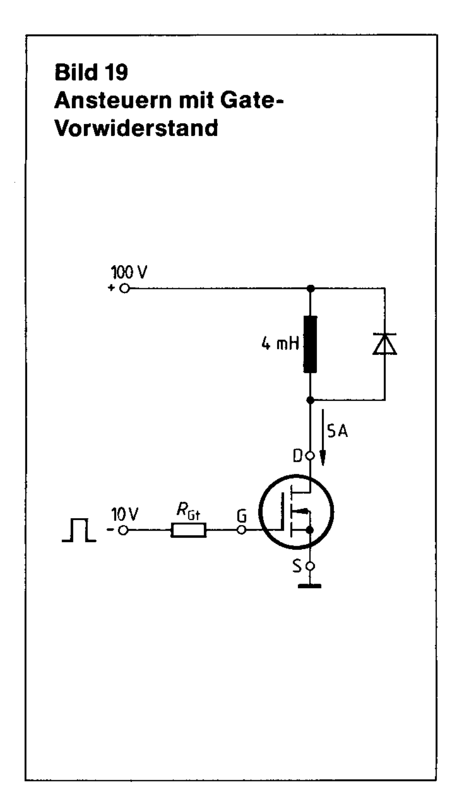


Bild 19
Ansteuern mit Gate-Vorwiderstand

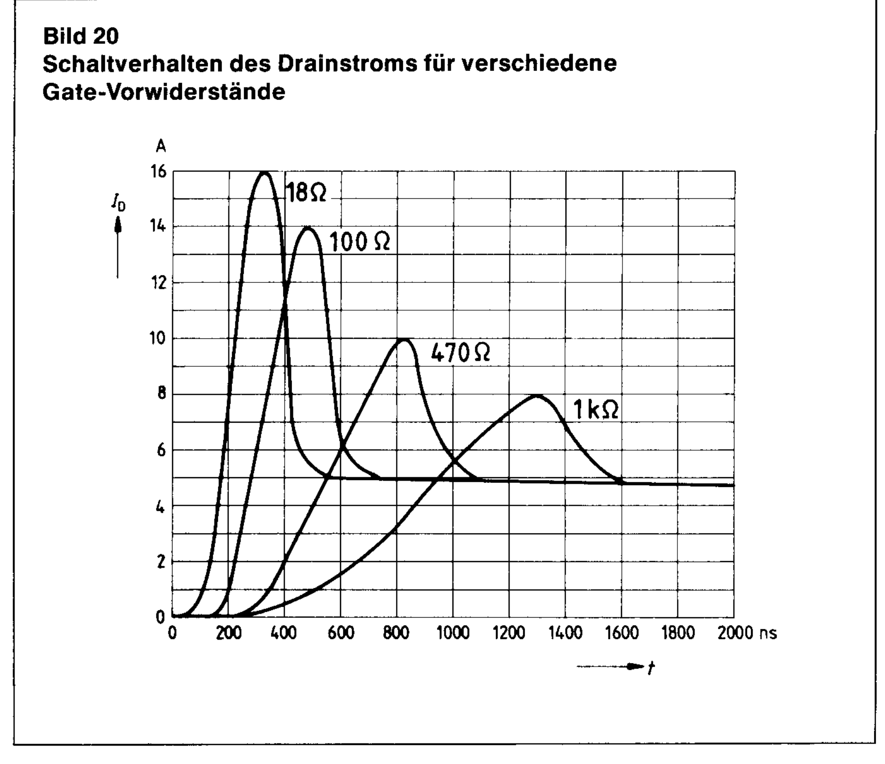


Bild 20
Schaltverhalten des Drainstroms für verschiedene Gate-Vorwiderstände

1. Rechnung:

$$I_{DC} = \sqrt{\frac{T_{jmax} - T_C}{R_{thJC} \times R_{DS(on)}}}$$

$$I_{DC} = \sqrt{\frac{150 - 25}{1{,}0 \times 1{,}35}}\ \text{A} = 9{,}6\ \text{A}$$

$$\hat{I} = \sqrt{\frac{150 - 25}{1{,}0 \times 1{,}35 \times 0{,}5}}\ \text{A} = 13{,}6\ \text{A}^{*})$$

In der Praxis sind diese Werte nicht realisierbar, da:

- eine Gehäusetemperatur T_C = 25°C kaum eingehalten werden kann,
- der Gehäuse-Umluft-Wärmewiderstand R_{thCA} nicht 0 K/W beträgt,
- eine Umgebungstemperatur T_A = 45°C mindestens angenommen werden muß.

Geht man davon aus, daß der Wärmewiderstand Gehäuse-Umluft $R_{thCA} = 2 \times R_{thJC}$ beträgt, so ergibt sich folgendes:

2. Rechnung:

$$P_D = \frac{T_{jmax} - T_A}{R_{thJA}}$$

$$P_D = \frac{150 - 45}{1 + 2}\ \text{W} = 35\ \text{W}$$

$$I_{DC} = \sqrt{\frac{P_D}{R_{DS(on)}}} = \sqrt{\frac{35}{1{,}35}}\ \text{A} = 5{,}1\ \text{A}$$

$$\hat{I} = \sqrt{\frac{P_D}{R_{DS(on)} \times 0{,}5}} = \sqrt{\frac{35}{1{,}35 \times 0{,}5}}\ \text{A} = 7{,}2\ \text{A}^{*})$$

*) Definition: $I_{eff} = \hat{I}$ bei $\frac{t_p}{T} = 0{,}5$

Erklärung der Formelzeichen:

$\hat{I}$	Spitzenstrom
I_{DC}	Dauergleichstrom
I_{eff}	Effektivstrom
P_D	Verlustleistung
P_F	Durchlaßverluste
P_S	Schaltverluste
$R_{DS(on)}$	Drain-Source-Einschaltwiderstand
R_{thJA}	Wärmewiderstand (Chip-Umgebung)
R_{thJC}	Wärmewiderstand (Chip-Gehäuse)
T	Periodendauer
T_A	Umgebungstemperatur
T_C	Gehäusetemperatur
T_{jmax}	Max. Chiptemperatur
t_p	Pulszeit

3.2 Parallelschalten

SIPMOS-Transistoren können zur Leistungserhöhung einfach parallelgeschaltet werden. Dabei ist zu beachten, daß aufgrund der hohen Schaltgeschwindigkeit und der großen Steilheit Schwingungen auftreten können. Durch Entkopplungswiderstände in jeder Gate-Leitung (vgl. Bild 21) oder durch getrennte Treiber (vgl. Bild 22) werden diese Schwingungen unterdrückt. Durch die Bauelemente-Toleranzen und einen unsymmetrischen Schaltungsaufbau kann es zu Transistor-Stromfehlaufteilungen kommen. Um ein Überlasten des einzelnen Transistors zu vermeiden, empfiehlt sich deshalb eine Drainstromreduzierung um den Faktor 0,8.

$I_{Dges} = 0{,}8 \times I_D \times n$

(n: Anzahl der parallel zu schaltenden Transistoren.)

Generell ist zu beachten:

- Den Schaltungsaufbau möglichst induktionsarm ausführen.
- Die Laststromzuführungen symmetrisch verlegen.
- Erdschleifen vermeiden.
- Steuerleitungen gegenseitig entkoppeln.
- Den Draingesamtstrom reduzieren.
- Die Spannungsversorgung mit Kondensator abblocken.
- Möglichst mit hohen Schaltgeschwindigkeiten arbeiten.

Beim Parallelschalten im Analogbereich ist die Toleranz der Einsatzspannung und die sehr hohe Steilheit der Transistoren besonders zu beachten.

Bild 21
Parallelschalten mit Gate-Widerständen

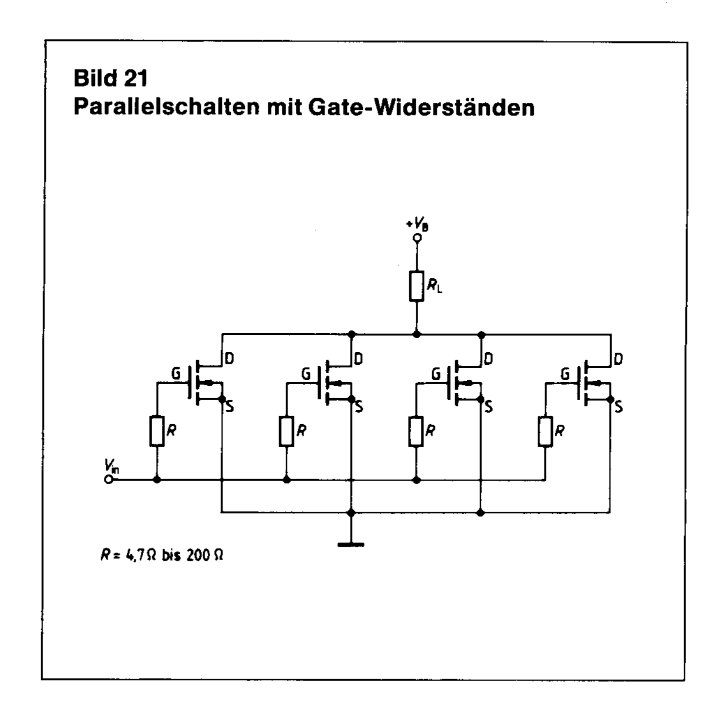
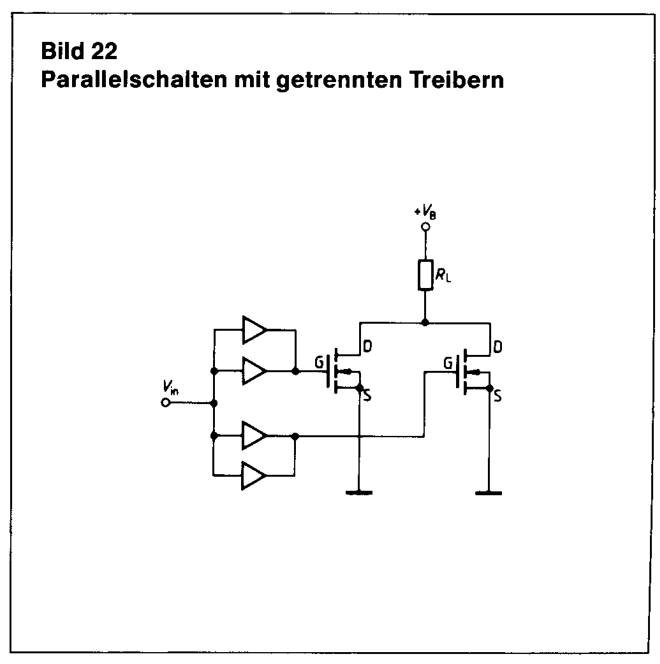


Bild 22
Parallelschalten mit getrennten Treibern



3.3 SIPMOS-Inversdiode im Freilaufbetrieb

Bedingt durch den Transistoraufbau fließt bei negativer Drain-Source-Spannung ein Strom über den pn-Übergang von Source zu Drain (Diodenfunktion, vgl. Abschnitt 2.1). Diese Diodenfunktion ist ein integraler Bestandteil des SIPMOS-Transistors und wird in den Datenblättern spezifiziert. Die Durchlaßspannung der Inversdiode beträgt 1 ... 1,5 V. Die Sperrverzögerungszeit ist typabhängig und beträgt bei 50-V-Typen ca. 150 ns und steigt mit höher werdender Transistor-Sperrspannung bis ca. 1800 ns an.

Beim Einsatz von SIPMOS-Transistoren in Brückenschaltungen mit induktiver Last übernimmt die Inversdiode die Funktion der notwendigen Freilaufdioden. Das kann bei Sperrspannungen > 200 V wegen der relativ hohen Sperrverzögerungszeiten während der Kommutierung zu Problemen führen.

3.3.1 Kommutierungsstöreffekt

Bei konventionellen MOS-Leistungstransistoren weist die Inversdiode relativ hohe Sperrverzögerungsladungen auf. Beim Kommutieren des Freilaufs zeigt deshalb der parasitäre Bipolartransistor ggf. eine Neigung zum Einschalten durch dv/dt-Einflüsse. Dieser Einschalt-Effekt kann zu unzuverlässigen Schaltungen führen und muß daher bei der Entwicklung berücksichtigt werden. Bild 23 zeigt die bekannte Struktur eines vertikalen n-Kanal-Leistungs-FET. Unter der Sourcemetallisierung befindet sich ebenso wie bei einem bipolaren Transistor eine vertikale npn-Anordnung. Das n^+-Gebiet entspricht dem Emitter, p der Basis und n^- dem Kollektor. Der Emitter-Basis-Kurzschluß zwischen n^+ und p sperrt den Transistor so, daß dieser normalerweise nicht in Erscheinung tritt. Ist die Spannung zwischen Gate und Source negativ, wie es bei einer Motorsteuerung im Freilaufbetrieb der Fall ist, so fließt von Source durch p und n^- ein Diodenstrom.

Bild 24 zeigt die Situation anhand eines vereinfachten Ersatzschaltbildes einer Halbbrücke. Der Widerstand R_{BE} zwischen Basis und Emitter steht für den Widerstand des p-Gebietes. C_{CB} stellt die spannungsabhängige Basis-Kollektor-Kapazität dar und Q_{CB} die zugehörige Ladung, welche proportional zum Inversstrom angenommen werden kann.

Beim Ansteuern des FET im Freilauf teilt sich der Motorstrom zwischen Inversdiode und der leitend gesteuerten FET-Strecke auf [$I = -(i_1 + i_2)$].

Beim Kommutieren wird T_2 ein- und T_1 ausgeschaltet. Da R_{BE} klein und C_{CB} jetzt wegen der Ladung Q_{CB} sehr groß ist und praktisch einen Kurzschluß darstellt, bleibt die Spannung V_1 zunächst unverändert. Die Spannung V_S wird daher durch die Leitungsinduktivitäten L_L und von T_2 aufgenommen (vgl. Bild 24). Der Strom i_2 wird zunächst Null, nimmt dann aber positive Werte an, bis die Ladung Q_{CB} abgebaut worden ist. Hierbei entsteht eine positive Spannung V_{BE}. Bei V_{BE} = 0,7 V fließt ein Basisstrom.

Noch im Zeitbereich möglicher Basisströme setzt der Anstieg von V_1 ein (vgl. Bild 25). Die Bipolar-Struktur erhält eine Emitter-Kollektor-Spannung und kann somit als Transistor aktiv werden. Wird bei diesem Vorgang auch nur eine Transistorzelle überlastet, so kann der ganze FET ausfallen. Das Einschalten kann man allgemein im Spannungsverlauf beobachten (vgl. Bild 26).

Mitunter ist der Effekt sehr schwach ausgeprägt, so daß er sehr leicht übersehen werden kann. Man sollte diesem Rückstrom deshalb bereits in der Entwicklungsphase neuer Schaltungen besondere Aufmerksamkeit schenken. Nur so können unzulässige Schaltungen korrigiert werden, deren Schwächen meist erst in der Serienfertigung bemerkt werden.

3.3.2 Konventionelle Gegenmaßnahmen

Folgende Maßnahmen erlauben es, den Rückstrom i_2 soweit zu reduzieren, daß die Basis-Emitter-Schwellenspannung V_{BE} nicht erreicht wird und kein Basisstrom auftritt.

- Mit einer Diodenkombination wird ein Inversstrom generell verhindert (vgl. Bild 27). Das ist eine sichere, aber aufwendige Methode. Sie erhöht die Durchgangsverluste, senkt jedoch die Einschaltverluste beim Einsatz schneller Spezialdioden.
- Durch Ansteuern des FET während der Freilaufphase wird dafür gesorgt, daß dieser einen möglichst hohen Anteil des Inversstroms übernimmt und die Diode entlastet. Es ist deshalb notwendig, die Transistoren T_1 und T_2 nahezu gleichzeitig zu schalten.

Bild 23
Struktur eines SIPMOS-Transistors

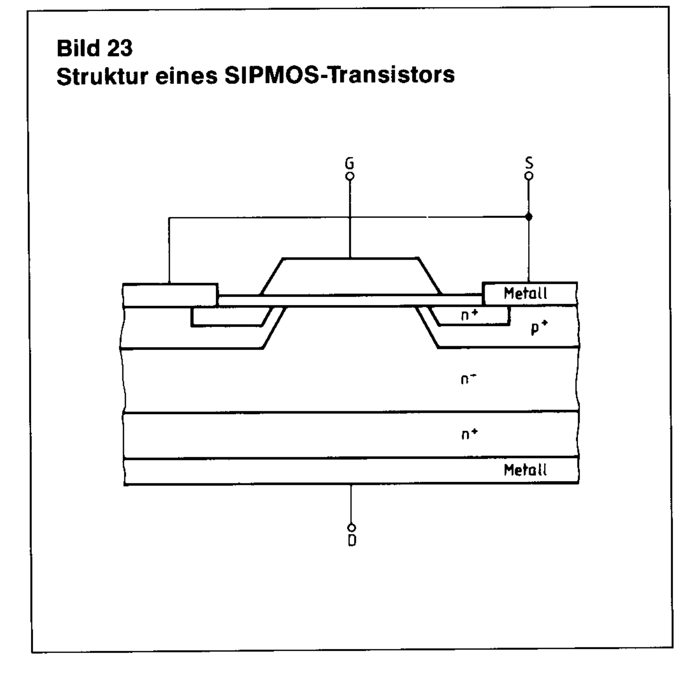
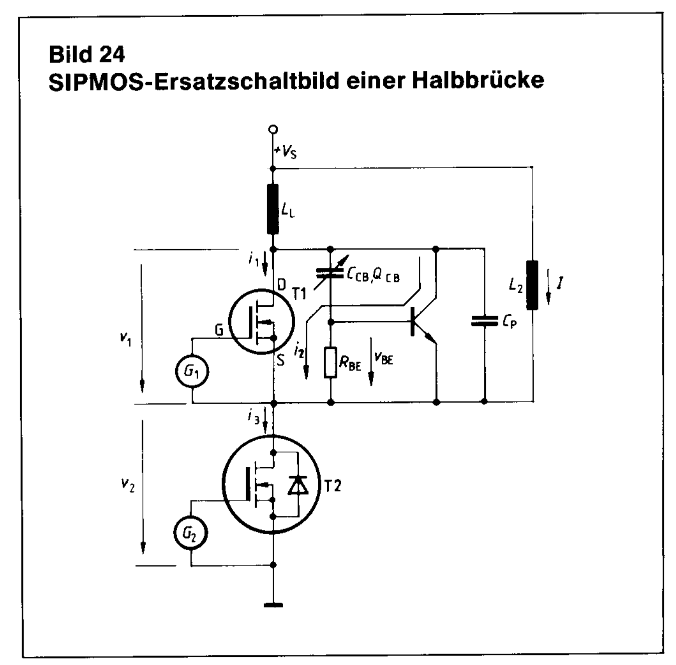


Bild 24
SIPMOS-Ersatzschaltbild einer Halbbrücke



- Der Spitzenwert des Rückstroms i_2 wird durch eine entsprechende Stromergiebigkeit von T_2 begrenzt. Hierzu eignet sich eine relativ langsame oder eine treppenförmige Ansteuerung. Das ist eine einfache, jedoch toleranzempfindliche Methode, besonders beim Parallelschalten.
- Mit einer Induktivität in Serie zum Lastwiderstand wird $i_{2\,max}$ und di_2/dt begrenzt. Zugleich wirkt die Anordnung als Einschaltentlastung für T_2. Diese Lösung verursacht allerdings zusätzliche Verluste und hat Totzeiten beim Abmagnetisieren zur Folge.

Folgende Maßnahmen sorgen dafür, daß der auftretende Spannungsanstieg dv/dt unterhalb der kritischen Spannungssteilheit bleibt. Sie verhindern jedoch nicht das Auftreten eines Basisstroms.

- Durch eine kapazitive Gegenkopplung zwischen Drain und Source wird dv/dt begrenzt.
- Eine RCD-Beschaltung parallel zu Drain und Source begrenzt insbesondere beim Parallelschalten die Wirksamkeit, steigert allerdings die Schaltverluste.

Alle beschriebenen Abhilfemethoden müssen in jedem Fall optimiert werden.

3.3.3 Abhilfe mit FREDFET

Um das Projektieren zu vereinfachen, wurde der FREDFET entwickelt.

Bild 28 zeigt eine Vollbrückenschaltung mit FREDFET. Diese Schaltung ist ohne zusätzliche Schutzbauelemente voll funktionsfähig.

Mit einer speziellen Schwermetalldotierung ist es gelungen, der FET-Inversdiode FRED-Eigenschaften zu geben, ohne andere Parameter des Transistors zu beeinflussen.

Durch die superschnelle Inversdiode wird die Rückstromladung um Größenordnungen reduziert. Damit verringert sich der maximale Rückstrom i_2 während der Kommutierung entsprechend (vgl. Bild 29). Ein Einschalten des parasitären Bipolar-Transistors kann somit nicht mehr auftreten und gleichzeitig wird ein Überlasten von T_2 verhindert.

Bild 25
Typ. Kommutierungsverlauf

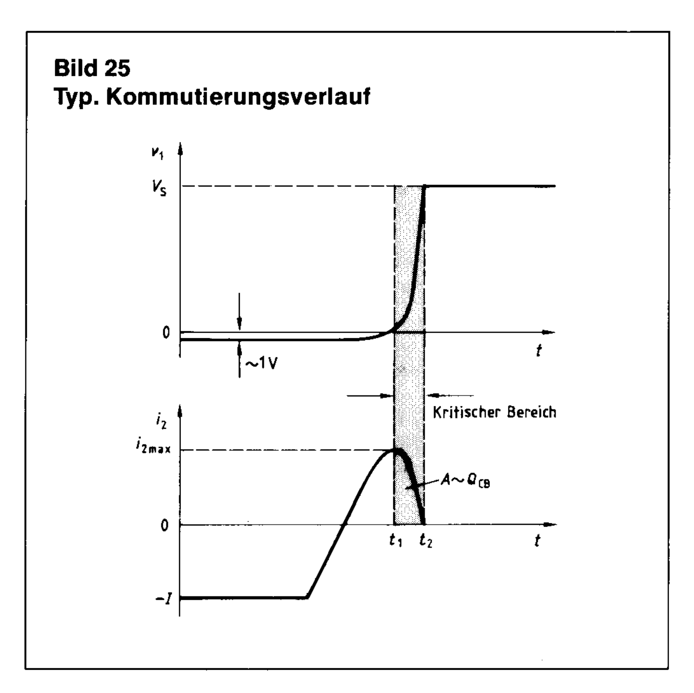


Bild 27
Verhindern des Inversstroms durch Diodenkombination

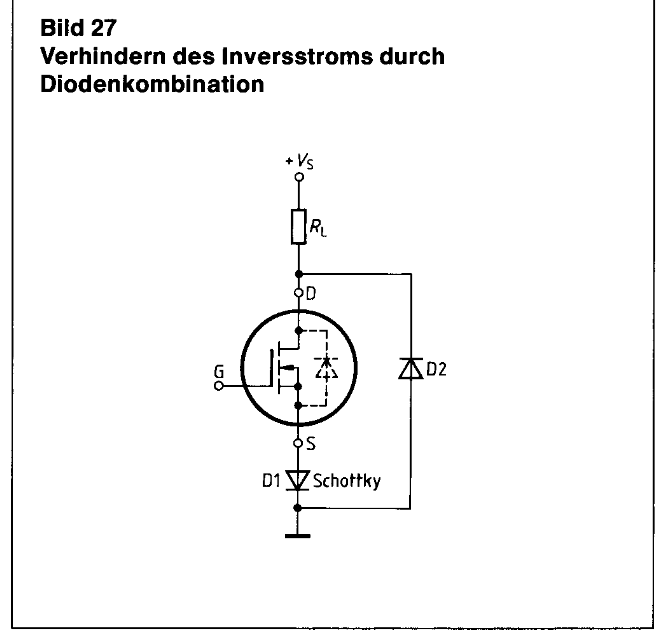


Bild 26
Spannungsverlauf V_1 bei Aktivwerden des parasitären Bipolar-Transistors

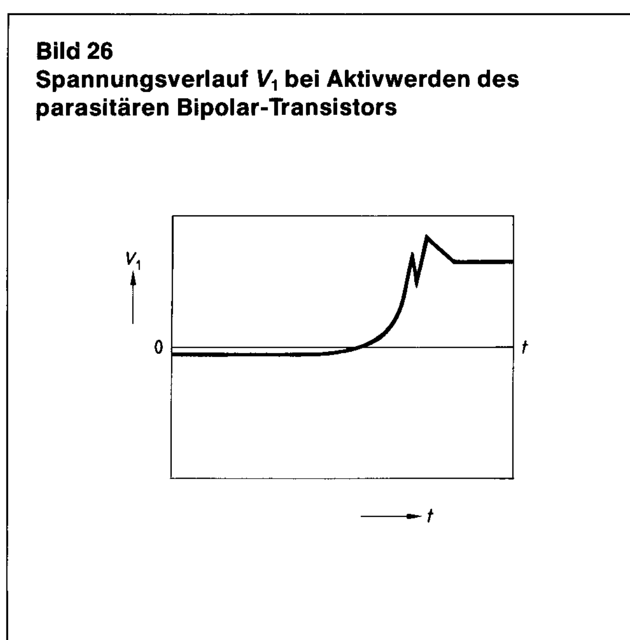


Bild 28
Vollbrückenschaltung mit FREDFET

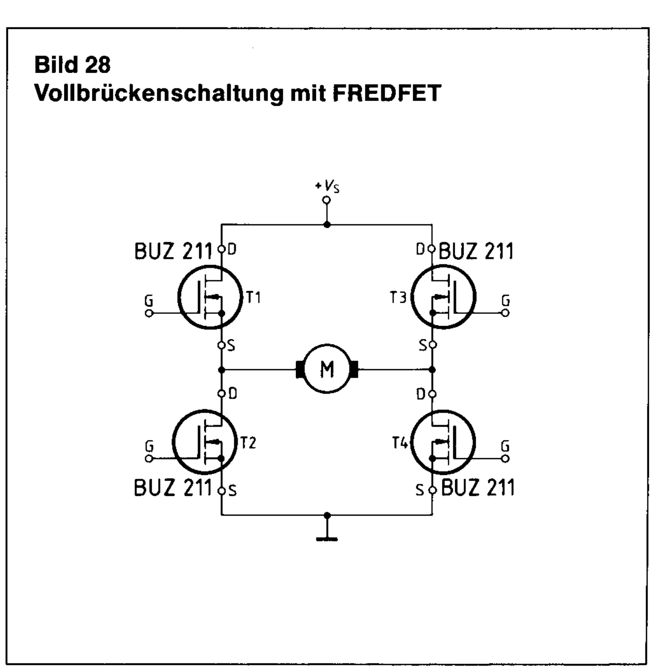


Bild 29
Rückstromverlauf am Beispiel des FREDFET BUZ 211 verglichen mit einem BUZ 45

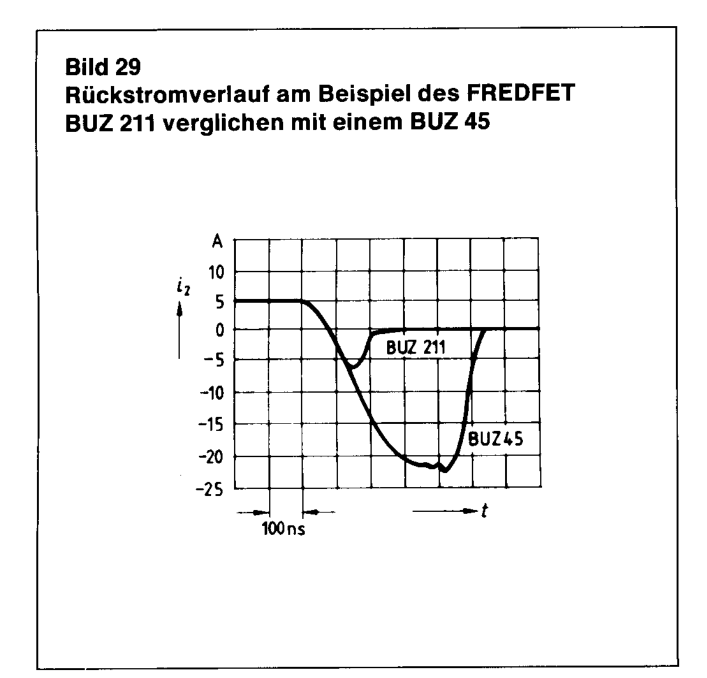
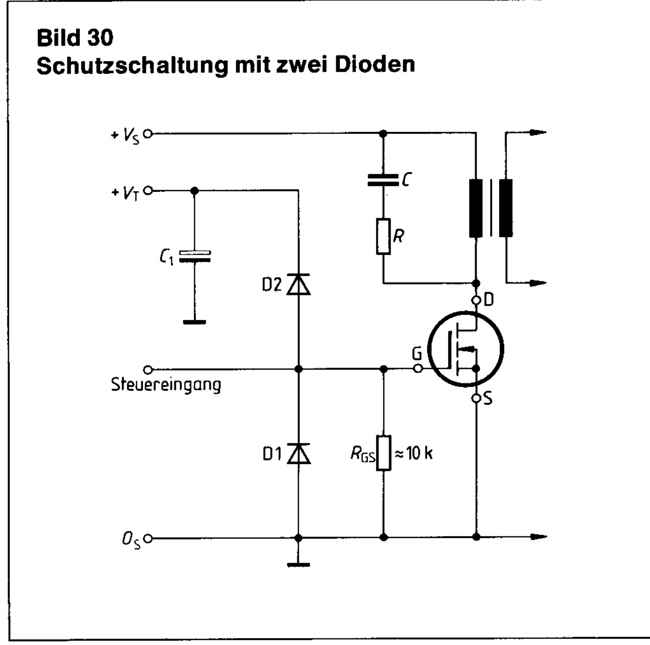


Bild 30
Schutzschaltung mit zwei Dioden



4 Schutzschaltungen

4.1 Gate-Source-Überspannungen

Zwischen Gate und Source ist eine maximale Spannung von ±20 V zugelassen. Ein Überschreiten dieser Spannung führt zur Zerstörung der Oxidschicht und damit zum Ausfall des Transistors (siehe auch Abschnitt 3.1.1).

- Als ein sehr wirkungsvoller Schutz hat sich das Beschalten mit zwei Dioden erwiesen (vgl. Bild 30). Die untere Diode verhindert, daß am Gate Negativ-Spannungen >1 V zustande kommen. Die obere Diode bewirkt, daß die Positiv-Spannung am Gate maximal 1 V höher ist als die Hilfsspannung V_T. Sinnvoll ist es, die Spannung V_T mit einer großen Kapazität C_1 für höhere Frequenzen niederohmig zu machen. Damit werden auch Spannungsspitzen durch die Diodenschaltung beseitigt. Gegenüber anderen Lösungen haben die Dioden den Vorteil, daß sie relativ schnell schalten.
- Beim Verwenden eines CMOS-Inverters zur Ansteuerung des Transistors (vgl. Bild 31) sind diese beiden Dioden bereits als Schutzdioden im Schaltkreis integriert.
- Häufig genügt es auch, eine Zenerdiode und einen Vorwiderstand an das Gate anzuschließen (vgl. Bild 32). In positiver Richtung wird die Zenerdiode bei ihrer Spannung leitend, in negativer Richtung wirkt sie wie eine normale Diode. Nachteilig ist jedoch die hohe Eigenkapazität sowie die Tatsache, daß Zenerdioden relativ langsam schalten.

Alle drei Schutzschaltungen wirken sowohl gegen Überspannungen aus den Ansteuerschaltungen als auch gegen induzierte Überspannungen.

4.2 Drain-Source-Überspannungen

Die Transistor-Sperrspannung ist entsprechend der Betriebsgleichspannung auszuwählen. Wichtig ist, daß Netzstörungen durch geeignete Siebglieder abgeblockt werden.

Beim Schalten induktiver Lasten entstehen induzierte Spannungsspitzen, die am einfachsten durch eine Freilaufdiode (vgl. Bild 33), durch RC-Glieder (vgl. Bild 34) oder einer Kombination aus beiden bedämpft werden. Bei höheren Frequenzen empfiehlt sich eine RCD-Schaltung (vgl. Bild 35) oder eine Surpressordiode (vgl. Bild 36).

Spannungsspitzen können ebenso durch Leitungs- und Streuinduktivitäten hervorgerufen werden, daher müssen beim Dimensionieren von Schaltungen auch die Streuinduktivitäten der Übertrager minimiert werden. Um Leitungsinduktivitäten zu vermeiden, sind kurze Verbindungen sowie eine entsprechende Leitungsführung notwendig. Dabei sind die allgemeinen Richtlinien der HF-Technik zu beachten.

Neben den bekannten Bedämpfungsmaßnahmen der Drain-Source-Überspannungen hat sich die Schaltung mit aktiver Beteiligung des SIPMOS-Transistors als sehr zuverlässig erwiesen (vgl. Bild 37): Zum Schutz des SIPMOS-Transistors wird hier zusätzlich zwischen Gate und Drain eine Z-Diode D_1 und eine normale Diode D_2 eingefügt. Zweckmäßigerweise betreibt man einen SIPMOS-Transistor in solchen störbeeinflußten Netzen mit einer Z-Diode D_3 zwischen Gate und Source. Im eingeschalteten Zustand können die Störspannungsspitzen dem Transistor nicht schaden, da sie nur am Lastwiderstand anliegen. Bei gesperrtem Transistor erfolgt das selbsttätige Ansteuern des Transistors, sobald die Drain-Source-Spannung die Summe aus Z-Spannung von D_1, Schwellenspannung von D_2 und Gate-Source-Schwellenspannung übersteigt. Man erzielt dadurch ein definiertes Avalancheverhalten des Transistors. Die dabei auftretenden Verluste müssen allerdings berücksichtigt werden. Um ein Einschalten des SIPMOS-Transistors sicherzustellen, muß ein Gate-Widerstand vorhanden sein.

Gate-Widerstand gemäß

$$R \geq \frac{V_{GS(th)} + 2\,V}{i_z} \approx \frac{6\,V}{i_z}, \text{ z. B. } \frac{6\,V}{500\,mA} = 12\,\Omega$$

4.3 Drain-Überstrom

Bei Heizungen, Lampen und Motorsteuerungen können sehr hohe Einschaltströme auftreten. Die dabei auftretenden Spitzenströme können den zulässigen Betriebsstrom des SIPMOS-Transistors weit übersteigen.

Diese Stromspitzen müssen bei der Dimensionierung des Transistors berücksichtigt werden; sie können in vielen

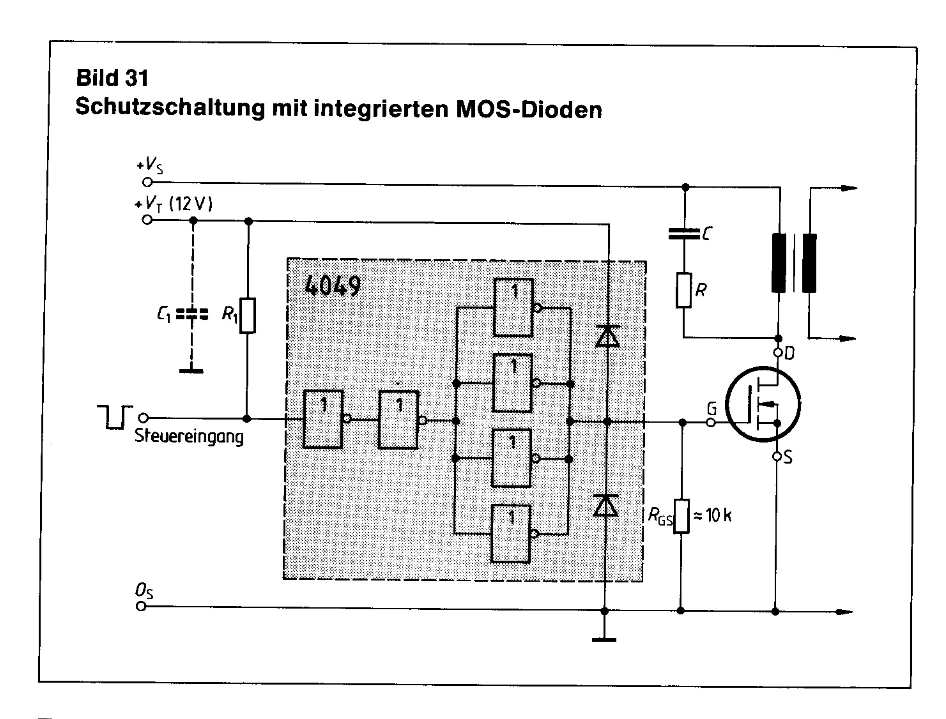


Bild 31
Schutzschaltung mit integrierten MOS-Dioden

Bild 32
Schutzschaltung mit Zener-Diode

Steuer-eingang
47
G
D
S
Z-Diode
0_S

Bild 33
Schutzschaltung mit Freilaufdiode

+V_S
L
D
L_S
D
G
S

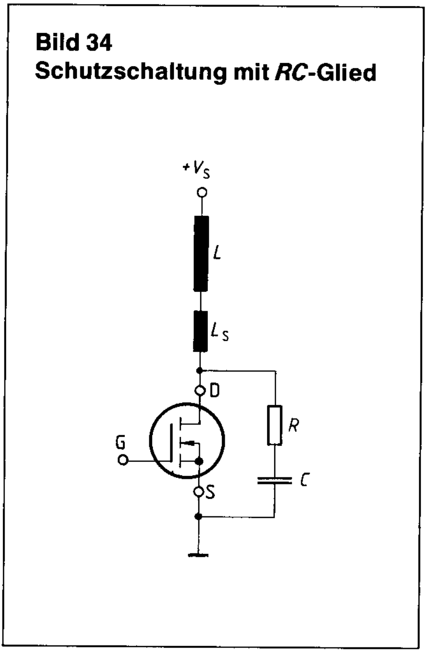


Bild 34
Schutzschaltung mit *RC*-Glied

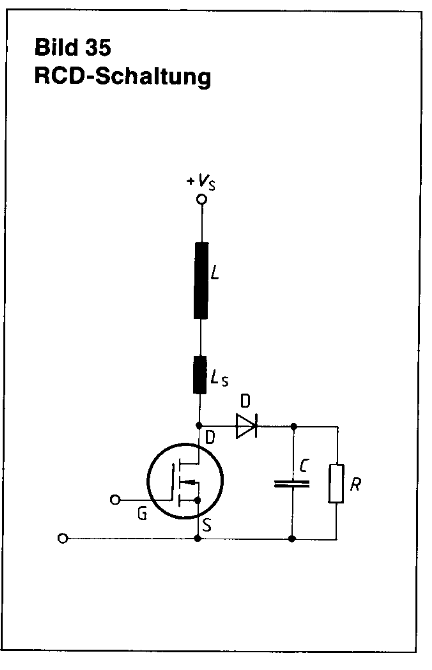


Bild 35
RCD-Schaltung

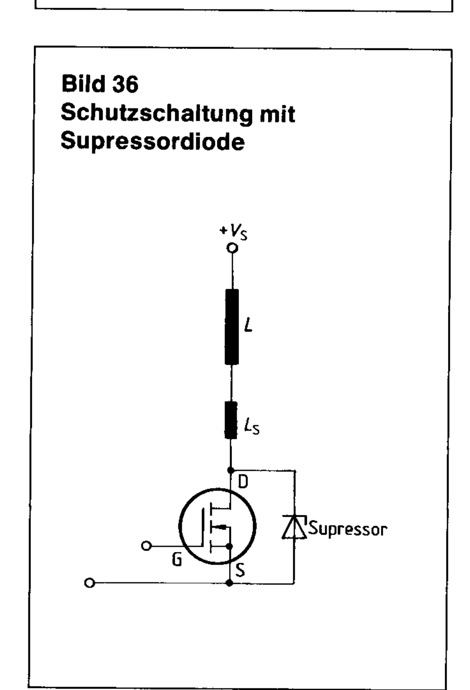


Bild 36
Schutzschaltung mit Supressordiode

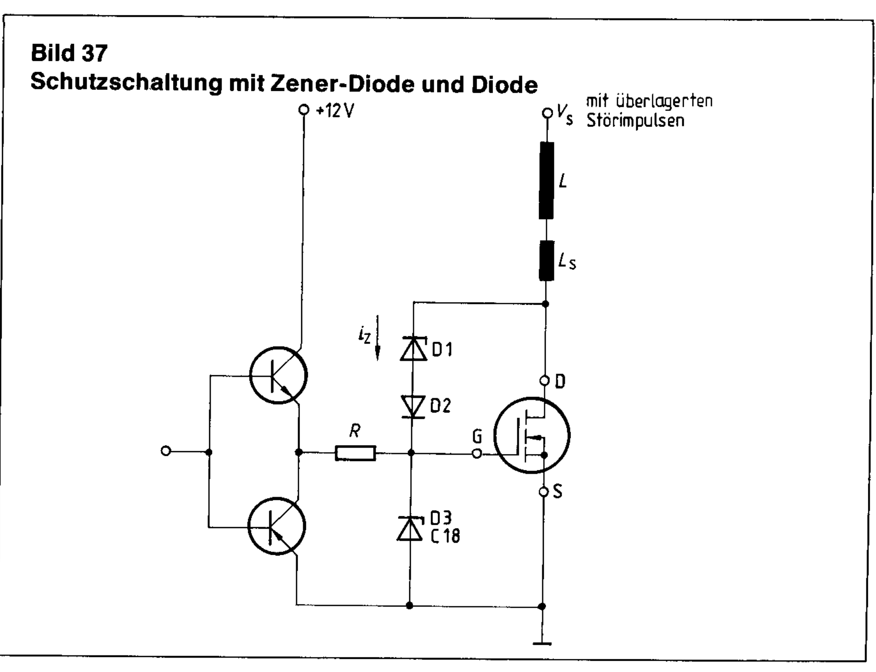


Bild 37
Schutzschaltung mit Zener-Diode und Diode

Fällen durch Verlangsamen der Schaltgeschwindigkeit des SIPMOS-Transistors gemildert werden (vgl. Bild 20).

Eine wirkungsvolle Kurzschlußsicherung ist beim SIPMOS-Transistor einfach realisierbar. Durch die extrem kurzen Schaltzeiten ist ein Gegenkoppeln praktisch ohne Totzeit möglich. Ein kurzschlußartiger Anstieg des Drainstroms kann an einen Widerstand im Lastkreis detektiert werden. Dieses Signal kann zum Abschalten des Transistors benutzt werden. Diese Schutzschaltung kann außerdem mit einer integrierten Ansteuerschaltung mit Überstromabschalteingang ohne Mehraufwand realisiert werden (vgl. Anwendungsbeispiele, Abschnitt 6.1).

4.4 Unterspannungsabschalten

Häufig werden Transistoren dadurch zerstört, daß Schaltungen in Betriebszustände geraten, in denen der Transistor nicht voll durchgesteuert ist. Dies gilt in gleicher Weise für Bipolar- und MOS-Transistoren.

Während beim Dimensionieren bipolarer Schaltungen die Entwickler mit dieser Anforderung vertraut sind und den Transistor mit genügend Basisstrom ansteuern, wird beim verlustleistungsfreien Ansteuern von MOS-Transistoren die notwendige Steuerspannung nicht genügend beachtet. Da SIPMOS-Transistoren mit ihrem niederohmigen $R_{DS(on)}$ auch sehr hohe Ströme verlustarm schalten, gerät der Transistor bei ungenügender Ansteuerspannung leicht in einen Betriebszustand, bei dem seine max. zugelassene Verlustleistung überschritten wird. Daher ist beim Schaltungsentwurf unbedingt darauf zu achten, daß eine Abschalteinrichtung vorgesehen ist, die bei Unterspannung die Ansteuerung des Transistors abschaltet. Bei unseren integrierten Steuerschaltungen für Schaltnetzteile der Familie TDA47.. ist ein solcher Unterspannungsschutz integriert, so daß SIPMOS-Transistoren beim Einsatz dieser Steuerbausteine geschützt sind. Werden andere Ansteuerschaltungen verwendet, so ist ein solcher Unterspannungsschutz vorzusehen.

5 Ansteuerschaltungen

5.1 Ansteuern einer Gegentakt- und Brückenschaltung

Gegentaktschaltungen können entweder gleichspannungsgekoppelt oder mit einem Transformator aufgebaut werden. Bei der Transformator-Gegentaktschaltung (vgl. Bild 38) sind beide Source-Anschlüsse über einen niederohmigen Meßwiderstand mit Masse verbunden; die Gates werden wechselseitig angesteuert. Die Drain-Anschlüsse liegen an den Enden einer Trafowicklung, der Mittelanzapf dieser Wicklung ist mit einer positiven Speisespannung verbunden.

Die andere Gegentaktschaltung ist eine sogenannte Halbbrücken-Schaltung (vgl. Bild 39). Hier sind zwei Transistoren in Reihe geschaltet, der untere in Source-Schaltung, der obere in Source-Folger-Schaltung. Der obere Drain-Anschluß führt an die positive Speisespannung, die Last ist über einen Kondensator mit beiden Transistoren verbunden. Dabei ist es gleichgültig, ob das andere Ende des Lastwiderstandes auf Plus oder Minus geschaltet ist. Als Ansteuerung kann beispielsweise die Schaltung nach Bild 48 verwendet werden.

Folgendes ist besonders zu beachten:

- Die Ansteuerschaltungen müssen so konzipiert werden, daß nicht beide FET gleichzeitig leitend sind (Kurzschluß).
- Bei induktiven Lastwiderständen werden die Inversdioden leitend, sobald die Drain-Spannung negativer als die Source-Spannung wird.

In vielen Schaltungen nutzt man die Inversdioden zur Stromführung in der Freilaufphase aus und deshalb müssen die Eigenschaften der Inversdioden unbedingt berücksichtigt werden.

Wird zur Halbbrückenschaltung eine weitere hinzugefügt (vgl. Bild 40), erhält man eine Vollbrückenschaltung. Der Lastwiderstand ist hier jeweils mit den Verbindungspunkten der linken und rechten Halbbrückenschaltung verbunden. Als Ansteuerung kommt die Schaltung nach

Bild 38
Transformator-Gegentakt-Ansteuern

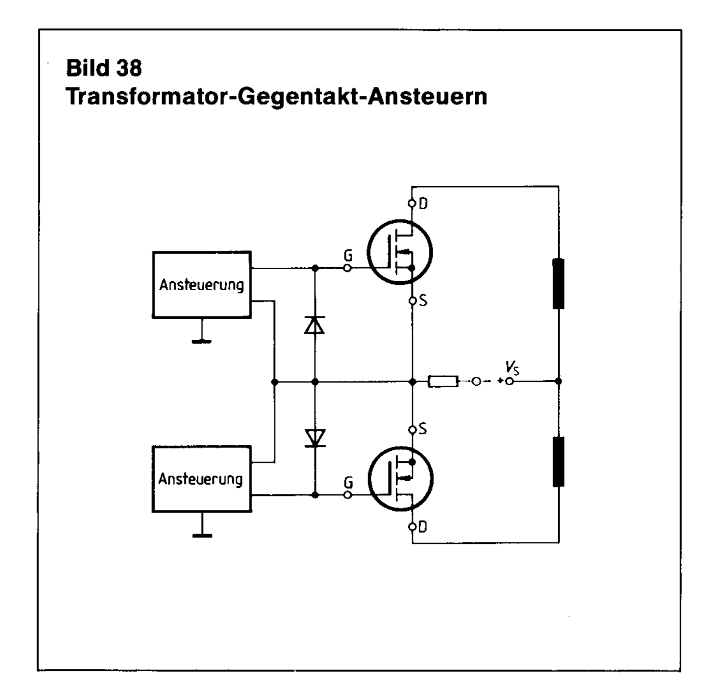


Bild 39
Ansteuern einer Halbbrücken-Schaltung

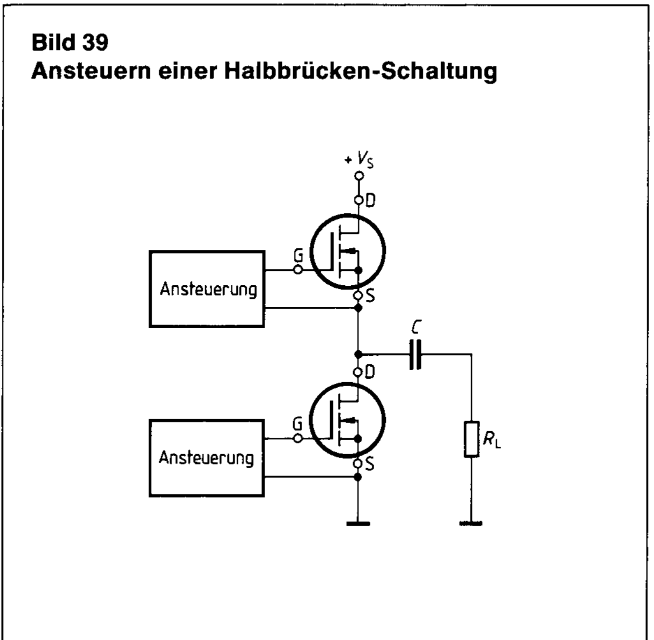


Bild 48 in Betracht, wobei die beiden unteren Transistoren auch direkt angesteuert werden können.

Anmerkung: Bei Motorsteuerungen ist ein Verwenden von Optokopplern zum Ansteuern der oberen Transistoren kritisch.

5.2 Ansteuern mit CMOS-Gatter

Als preiswerte Lösung zum schnellen Auf- und Entladen der Eingangs- und Miller-Kapazität des SIPMOS-Transistors bietet sich eine Treiberschaltung mit Gegentaktausgang an (vgl. Bild 41). Solche Schaltungen haben den Vorteil eines geringen Eigenstrombedarfs. Der CMOS-Standard-Sechsfach-Inverter 4049 liefert an jedem Ausgang einen Strom von etwa −40 oder +20 mA. Durch Parallelschalten von vier Invertern kann der zum schnellen Schalten des SIPMOS-Transistors notwendige Gate-Strom geliefert werden. Die integrierten Ausgangsschutzdioden sind ein weiterer Vorteil, sie verhindern ein Zerstören des Gate durch Überspannungen. Hier sollte die Hilfsstromversorgung $+V_T$ beim Einschalten von $+V_S$ mindestens eine Spannung von 4 V aufgebaut haben, damit die Ausgangsschaltung leitend ist. Der Steuereingang muß auf High-Pegel liegen; der Widerstand R_1 sorgt bei abgetrenntem Steuerelektronik für diesen Zustand.

5.3 Ansteuern mit komplementären Transistoren

Bild 42 zeigt eine andere Schaltungsvariante. Der CMOS-Inverter dient als Phasenumkehrstufe für das Ausgangssignal einer integrierten Schaltung mit offenem Kollektor, z. B. TDA 4700, und gleichzeitig als Treiberstufe für die Transistoren T_1 und T_2. Der Widerstand R_2 steuert den Transistor T_2 dann an, wenn sich am Gate ein Potential bildet, z. B. bei Einschaltvorgängen, während die Ansteuerschaltung noch nicht ausreichend mit Spannung versorgt wird. So wird verhindert, daß der Transistor unbeabsichtigt durchschaltet. Der Kondensator C_3 verkürzt die Zeitkonstante $R_2 \times C_{BE(T2)}$, kann aber bei den meisten Anwendungen entfallen. Gegenüber der Schaltung nach Bild 41, bei der der Transistor direkt von dem CMOS-Inverter angesteuert wird, ist hier die Ansteuerung wesentlich niederohmiger und das ergibt kürzere Schaltzeiten.

Bild 40
Ansteuern einer Vollbrücken-Schaltung

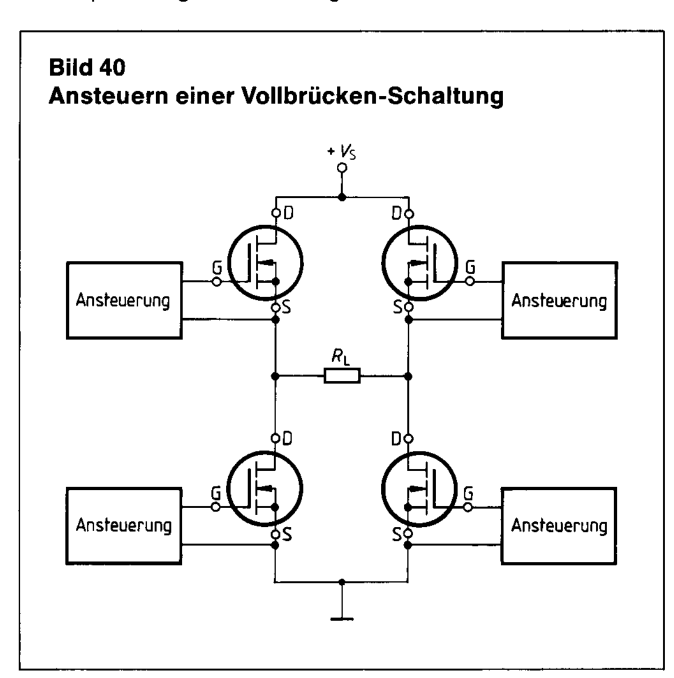


Bild 42
Ansteuern mit komplementären Transistoren

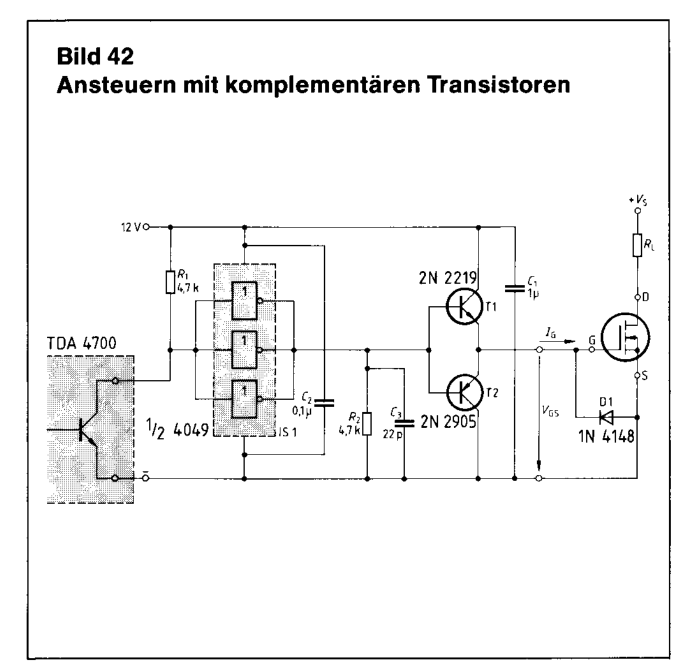
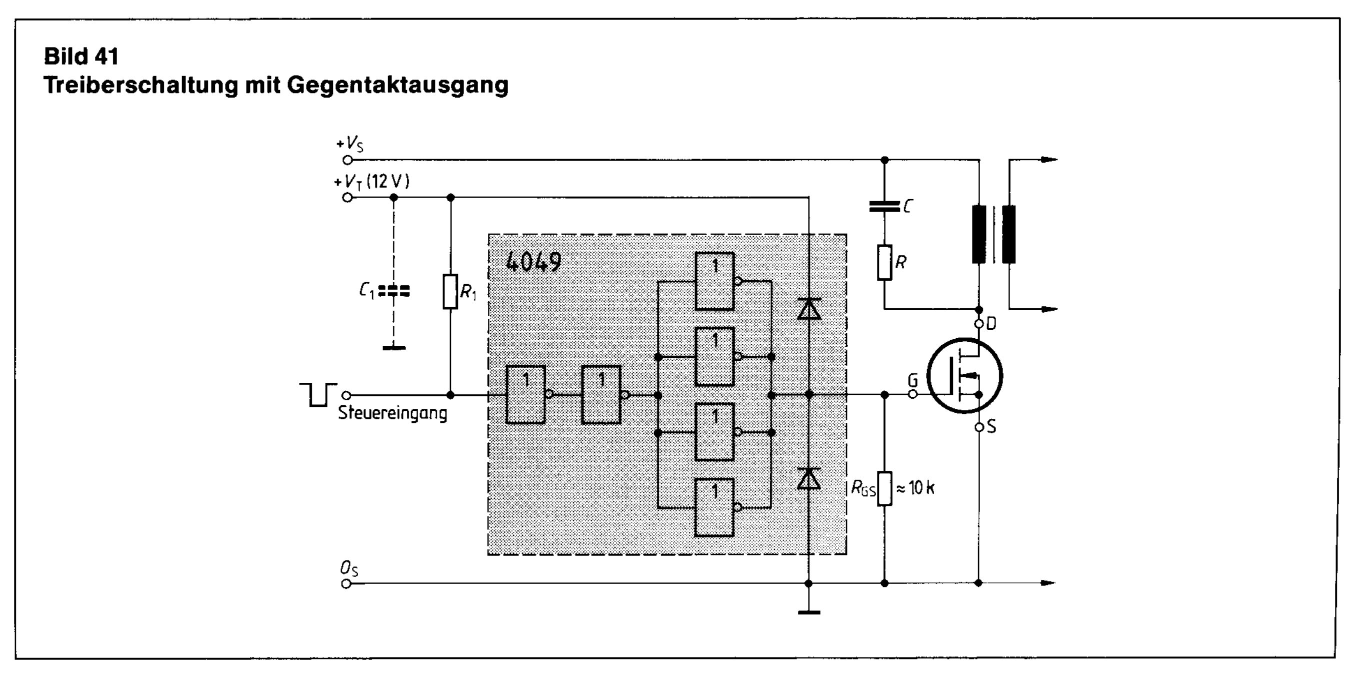


Bild 41
Treiberschaltung mit Gegentaktausgang



5.4 Quasikomplementäres Gegentakt-Ansteuern

Sobald der Ausgangstransistor des TDA 4700 (vgl. Bild 43) durchschaltet, gelangt an die Basis von T_1 die durch den Spannungsteiler R_1, R_2 bestimmte Spannung. Der Spannungsteiler darf hier nicht hochohmig dimensioniert werden, damit T_1 einen großen Kollektorstrom führen kann, der durch den Emitter-Widerstand R_3 begrenzt wird. Die Dioden D_1 und D_2 verhindern, daß T_1 in die Sättigung gelangt, während D_3 bewirkt, daß T_2 sicher sperrt, solange T_1 leitet.

Sperrt der Ausgangstransistor von TDA 4700, so sperrt T_1 ebenfalls und T_2 wird über R_4 angesteuert, wobei die Eingangs-Kapazität des SIPMOS-Transistors über T_2 und R_5 als Strombegrenzungswiderstand entladen wird. Diese Schaltung zeichnet sich durch geringe Stromaufnahme infolge der Gegentakt-Ansteuerung aus. Fehlt die 12-V-Hilfsstromversorgung, so verhindert der Transistor T_2 ein „Aufsteuern" des SIPMOS-Transistors, da er über R_4 schon bei geringen Gate-Spannungen leitend wird.

Bild 43
Quasikomplementäres Gegentakt-Ansteuern

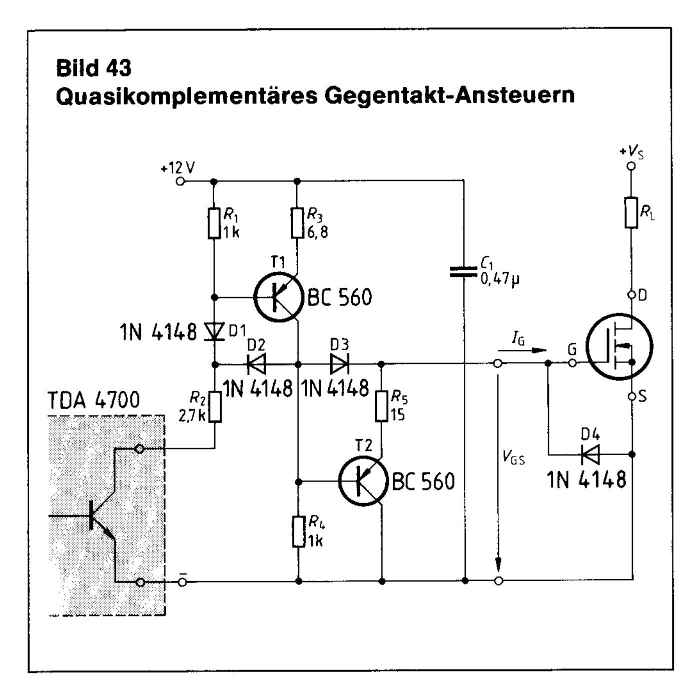
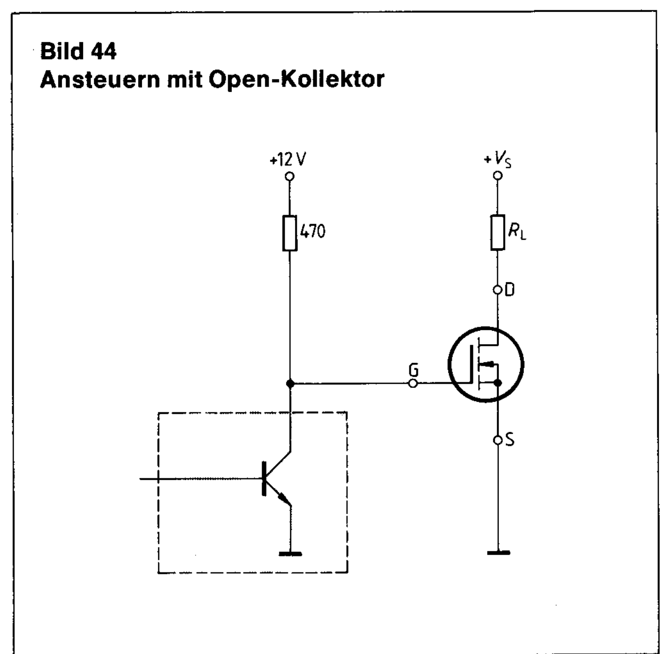


Bild 44
Ansteuern mit Open-Kollektor



5.5 Ansteuern mit Open-Kollektor-Schaltungen

Sollen nur kleine Betriebsspannungen, z. B. 12 V, geschaltet werden und wird an die Schaltzeit keine besondere Anforderung gestellt, genügt häufig ein Widerstand (vgl. Bild 44). An diesen Verbindungspunkt führt der offene Kollektor-Anschluß einer hochaktiven Steuerschaltung. Bei den digitalen Schaltungen gibt es Leistungstreiber, bei denen üblicherweise 15 V bzw. 30 V mit zulässigen Strömen von 40 mA ... 400 mA (je nach Typ) geschaltet werden können. Bei relativ langsamen Schaltzeiten sollten besonders die Schaltverluste beachtet werden (vgl. Abschnitt 3.1.4).

Anmerkung: Bei dieser Schaltungsart ist es wichtig, daß der Open-Kollektor-Transistor im Einschaltzustand entweder leitend ist, oder die Einschaltflanke von V_S sehr flach verläuft.

5.6 Potentialfreies Ansteuern mit Optokoppler

In der Industrieelektronik werden zum Koppeln von Stromkreisen mit unterschiedlichen Potentialen häufig optoelektronische Bauelemente eingesetzt. Um Steuersignale auf optischem Wege weiterzugeben, bedient man sich der Optokoppler oder der Lichtleiterkabel.

Die Isolationsgleichspannungsfestigkeit von Optokopplern liegt im Bereich von 0,5 kV ... 5,2 kV. Bild 45 zeigt eine Schaltung, bei der sich mit Hilfe von Optokopplern SIPMOS-Transistoren potentialfrei ansteuern lassen. Wie die Oszillogramme zeigen, sind die Einschalt- und Abschaltvorgänge relativ langsam. Das ist zulässig, da wegen des anzusteuernden Schützes eine schnelle Schaltfolge gar nicht möglich ist. Ein kurzzeitiges Durchschalten des Transistors beim Anlegen der Netzspannung ist ebenfalls nicht möglich, da das Schütz während dieser kurzen Dauer nicht anspricht. Auch treten während der Einschaltspitze keine großen Ströme auf, da das Schütz eine induktive Last darstellt.

Durch Zwischenschalten einer komplementären Gegentaktstufe (zwischen Optokoppler und SIPMOS-Transistor) lassen sich Ein- und Abschaltspitzenzeiten verringern, man erreicht Werte von 1,2 µs für die Einschaltzeit und 7 µs für die Abschaltzeit.

5.7 Ansteuern mit IC

SIPMOS-Transistoren lassen sich auch direkt von einem IC aus ansteuern. Das wird an zwei Beispielen gezeigt. In Bild 46 ist der Ausgang des Gleichstrom-Drehzahlreglers TCA 955 direkt mit dem Gate des Schalttransistors verbunden. Im TCA 955 befindet sich als Ausgangstreiber eine komplementäre Darlington-Schaltung, die durch ihre hohe Stromergiebigkeit ein schnelles Schalten des SIPMOS-Transistors gewährleistet. Als zulässiger Ausgangsstrom sind 200 mA angegeben. Die Abschaltzeit wird durch den vom Gate nach Masse geschalteten Widerstand bestimmt. Der Widerstandwert ist dabei mit 470 Ω ausreichend. Allerdings entsteht auch im eingeschalteten Zustand durch diesen Widerstand ein Leistungsverbrauch.

Bild 47 zeigt die Ausgangsschaltung des TDA 4601, die für Sperrschwingernetzteile bestimmt ist. Die Schaltungsteile für das Ansteuern und das Ausschalten sind an zwei getrennten Anschlüssen 7 und 8 herausgeführt. Beide Schaltungsteile gewährleisten die Möglichkeit eines sehr schnellen Ein- bzw. Abschaltens. Durch einen zusätzlichen Vorwiderstand R_S kann man die Einschaltflanke mehr oder weniger verlangsamen.

5.8 Potentialfreies Ansteuern mit Übertrager

Beim Ansteuern über Transformatoren unterscheidet man das direkte und das indirekte Ansteuern, bei dem der Trafo lediglich als Potentialtrennung dient.

Für relativ langsame Schaltvorgänge ist die Schaltung nach Bild 48 geeignet. Der SIPMOS-Transistor wird hier nicht direkt, sondern über den Übertrager angesteuert. Dadurch erhält man auch die Möglichkeit einer Source-Folger-Schaltung, d.h. die Last kann einseitig mit Masse verbunden sein. Der Übertrager besteht aus einem Ferritkern ∅ 12,5 mm, Werkstoff N30 und wird mit Hilfe von zwei Transistoren als Sperrschwinger betrieben. Die an der Sekundärseite des Sperrschwingers stehende Wechselspannung wird durch eine Diode 1N4148 gleichgerichtet und dem Gate des SIPMOS-Transistors zugeführt. Zur Entladung der Eingangs-Kapazität des Transistors dient der Widerstand 4,7 kΩ. Mit der zweiten Sekundärwicklung kann ein weiterer SIPMOS-Transistor geschaltet werden. Diese Schaltung ist z.B. zum Ansteuern von Transistoren geeignet, wie sie in Vollbrückenschaltungen vorkommen. Die Ein- und Ausschaltvorgänge sind in Bild 49 und 50 dargestellt.

5.9 Potentialfreies Ansteuern mittels Impulsübertrager (vgl. Bild 51)

Dieses Ansteuer-Prinzip sieht zur Übertragung anstelle von Blocksignalen lediglich kurze Impulse vor, wobei Anfang und Ende der Einschaltperiode markiert sind. Dabei ergeben sich minimale Spannungszeitflächen, optimales Zeitverhalten und hohe Störsicherheit bei kleinsten Übertragerabmessungen. Mehrere Sekundärwicklungen erlauben ferner einfache Parallel-, Serien- und Gegentaktanordnungen.

Netzwerk 1 ordnet einem Blocksignal am Anfang einen positiven und am Ende einen negativen Nadelimpuls zu. Die Impulse werden mit einem Ringkernübertrager übertragen und der Widerstand R dämpft die Rückschwingun-

Bild 45
Potentialfreies Ansteuern mit Optokoppler

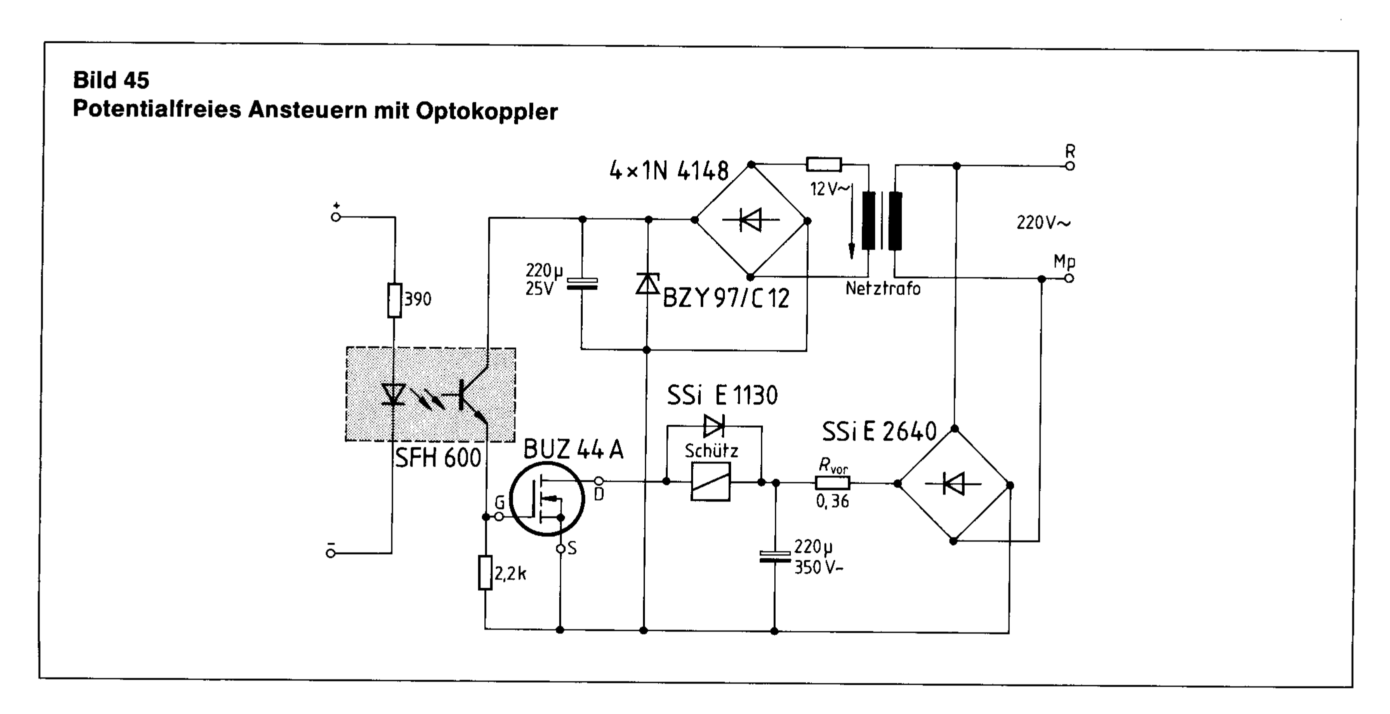


Bild 46
IC-Ansteuern mit TCA 955

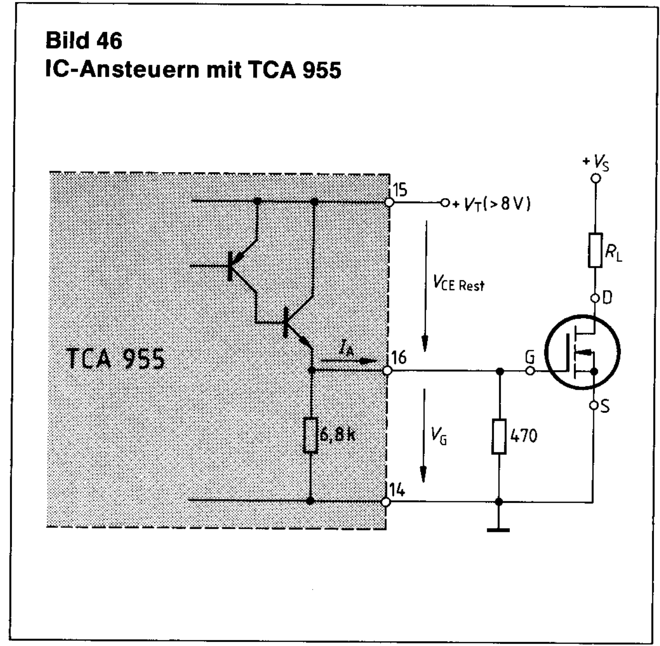
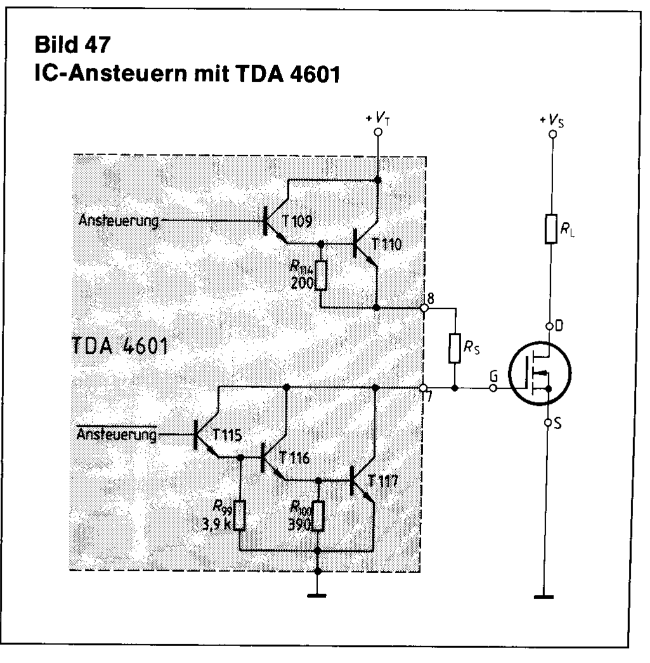


Bild 47
IC-Ansteuern mit TDA 4601



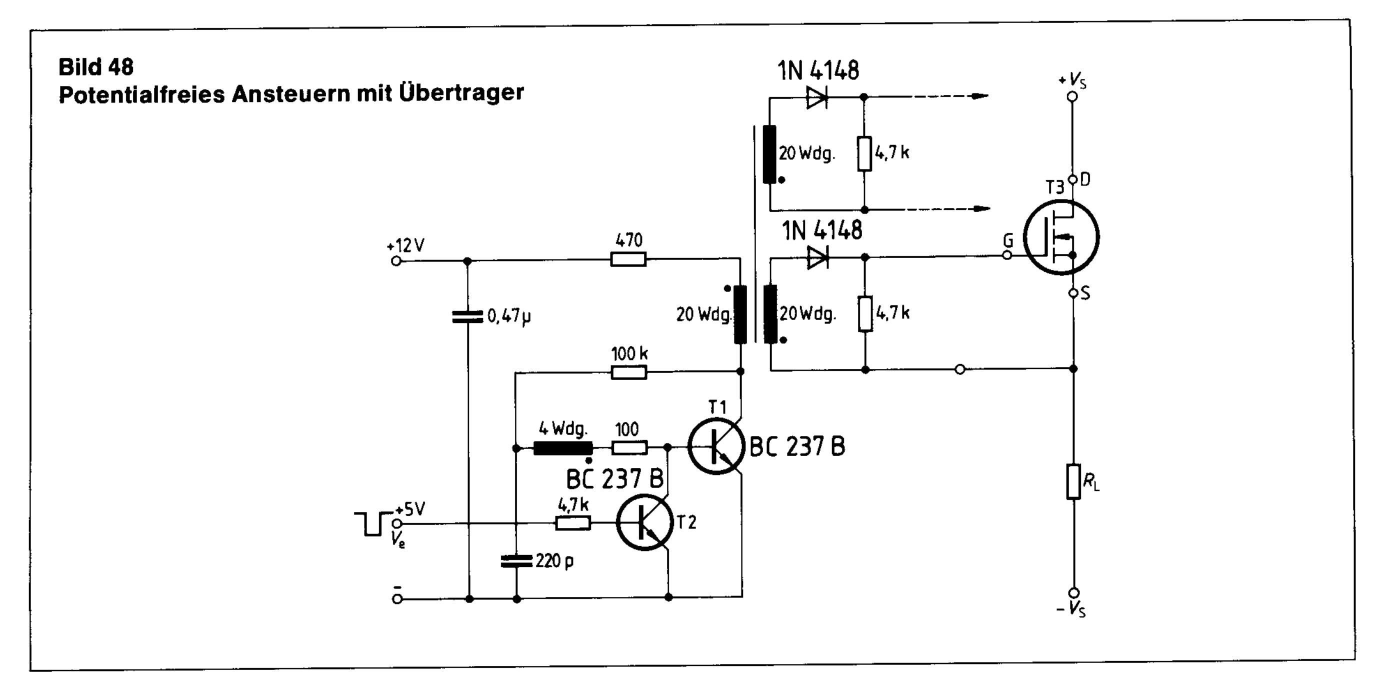


Bild 48
Potentialfreies Ansteuern mit Übertrager

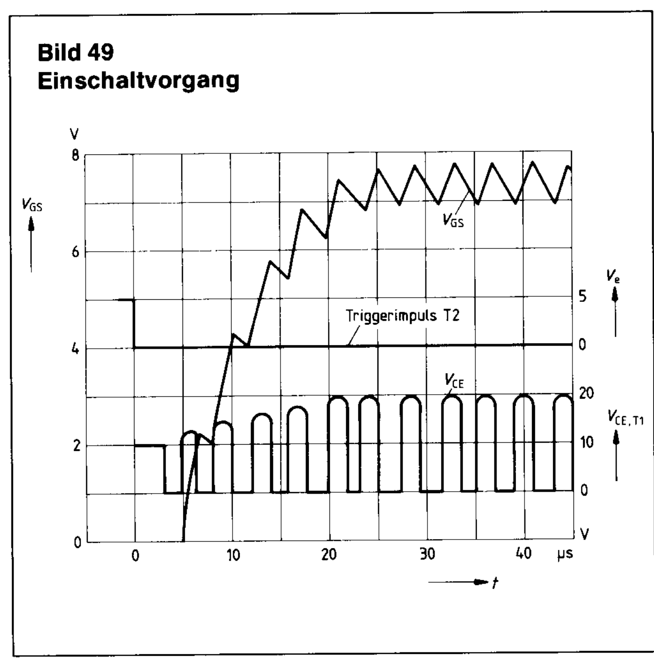


Bild 49
Einschaltvorgang

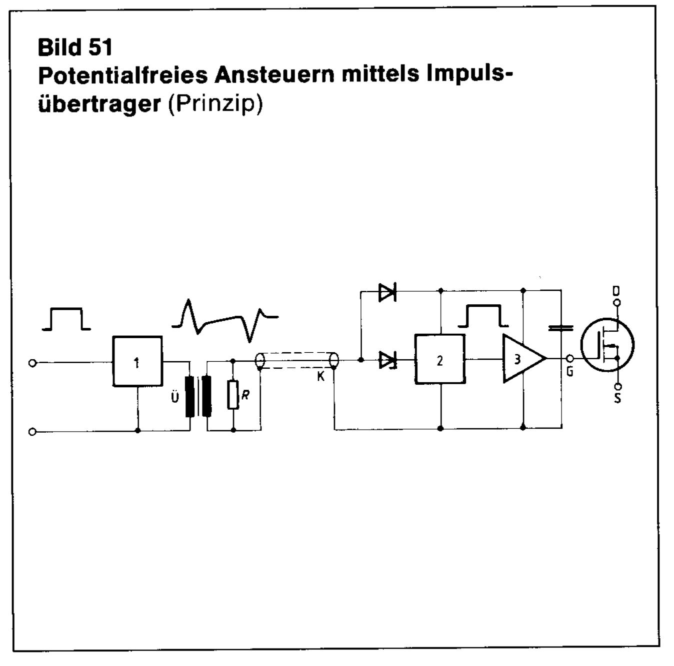


Bild 51
Potentialfreies Ansteuern mittels Impulsübertrager (Prinzip)

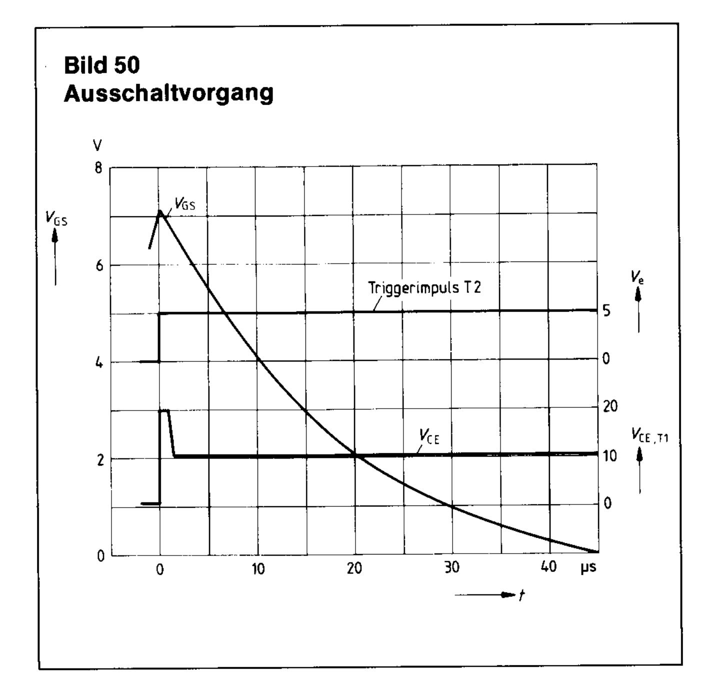


Bild 50
Ausschaltvorgang

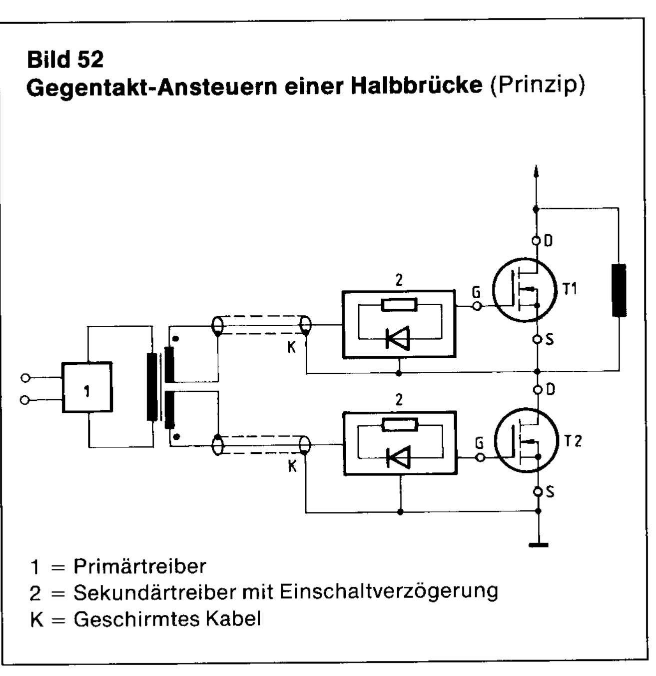


Bild 52
Gegentakt-Ansteuern einer Halbbrücke (Prinzip)

1 = Primärtreiber
2 = Sekundärtreiber mit Einschaltverzögerung
K = Geschirmtes Kabel

gen. Das über einer Zenerdiode angesteuerte Netzwerk 2 speichert den positiven Puls, regeneriert das Originalsignal und steuert den FET über Treiber 3 an. Über eine Diode wird mittels der positiven Pulse eine Kapazität geladen, die die sekundärseitige Stromversorgung darstellt.

Bild 52 zeigt die Versorgung einer Halbbrücke mit einem Primärtreiber. Ein sich überlappendes Schalten beider Stufen wird durch geringfügige Einschaltverzögerungen bewirkt, z. B. durch diodenüberbrückte Serienwiderstände vor den Treiberstufen.

Bild 53 zeigt eine einfache Ausführung des dargestellten Prinzips. Während der Anstiegszeit der Vorflanke wird der Transistor T_2 über C_2, während der Abfallzeit der Rückflanke T_1 über C_1, leitend gesteuert. Eine andere Realisierungsmöglichkeit dieser Funktionen bieten z. B. monostabile CMOS-Kippstufen, die durch die Blocksignalflanken getriggert werden. Das Einspeichern der Signale geschieht sekundärseitig durch C_2. Gegebenenfalls kann auch ein CMOS-Flipflop herangezogen werden. Die Schaltung hat wegen ihrer Leckströme eine untere Grenzfrequenz von 1 Hz. Die Frequenz reicht im allgemeinen aus. Sollen stationäre Einschaltzustände erzielt werden, sind die negativen Pulse zu unterdrücken.

5.10 Ansteuern bei masseseitiger Last oder bei geringer Ansteuerspannung

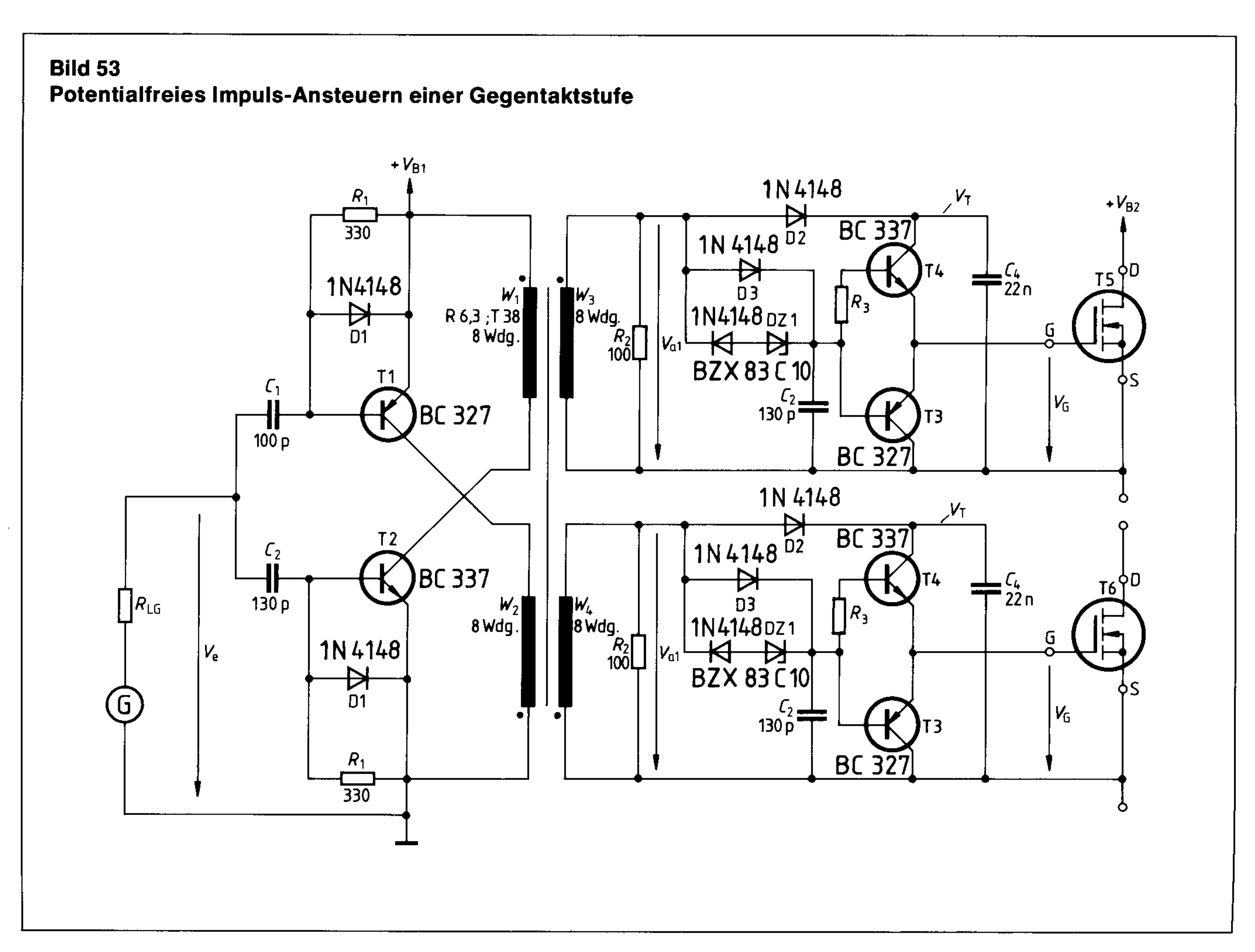
Elektrische Geräte und Bauteile, die entweder bauartbedingt oder aus anderen Gründen einseitig an Masse liegen, benötigen zur Stromversorgung im Prinzip nur eine einpolige Leitung, wenn die Rückleitung über das metallische Chassis oder andere Metallteile der betreffenden Konstruktion erfolgt.

Derartige Lasten kommen besonders häufig im Kfz- und Maschinenbau vor. Wenn man mit SIPMOS-Transistoren solche zwischen Source und Masse liegende Lasten schalten will, benötigt man zwischen Gate und Masse eine Spannung V_{GS}, die um mindestens 5 V (bei voller Ausnützung der Schaltleistung ≈ 7 V) über der allgemeinen Betriebsspannung V_B liegen muß. Für den Fall, daß ein solcher Schalter nicht extrem schnell zu sein braucht, sondern eine Schaltzeit von 0,1 bis 1 ms haben darf – oder sogar haben soll – und die Betriebsspannung im Bereich von 5 bis 30 V liegt, läßt sich ein entsprechender Gatespannungsgenerator verhältnismäßig einfach aufbauen. Bei Schaltströmen von 1 A und darüber ist eine solche Anordnung in der Summe sicher kostengünstiger als der Einsatz eines teueren P-Kanal-Feldeffekttransistors.

In Bild 54 ist zu erkennen, welche Spannung am Gate angelegt werden muß, um einen SIPMOS-Transistor bei masseseitiger Last vollständig ein- bzw. auszuschalten. Zu beachten ist dabei, daß zwischen Gate und Source sowie zwischen Gate und Drain Kapazitäten liegen (C_{GS} und C_{Mi}), die beim Einschaltvorgang aufgeladen und beim Ausschaltvorgang wieder entladen werden müssen.

In Bild 55 ist die einfachste Ausführung eines Gatespannungsgenerators zu sehen. Ein CMOS-Schmitt-Trigger arbeitet infolge einer äußeren Beschaltung mit einem Widerstand (R_1) und einem Kondensator (C_1) als Rechteckimpulsgenerator, wobei der Spannungshub praktisch fast genauso groß ist wie V_B. Immer, wenn der Ausgang den Logikpegel L hat, wird der Kondensator C_2 über die Diode D_1 auf $V_B - V_F$ (V_F ist die Diodendurchlaßspannung) aufgeladen. Während der darauffolgenden Halbperiode (Logikpegel H) addiert sich nun diese am Kondensator C_2 liegende Spannung zur Betriebsspannung, so daß nach der Diode D_2 halbperiodenweise eine Spannung von

Bild 53
Potentialfreies Impuls-Ansteuern einer Gegentaktstufe



$V_B - V_F + V_B - V_F$, d. h. $2(V_B - V_F)$ vorhanden ist. Wenn man mit dieser Spitzenspannung die Eingangskapazität im SIPMOS-Transistor auflädt, erreicht man im Endeffekt eine Spannung von $V_{GS} = 2(V_B - V_F) - V_B$, d. h. etwa $V_B - 2$ V, da V_F nicht größer als 1 V anzunehmen ist. Die Schaltung eignet sich demnach für Betriebsspannungen von 9...15 V, wobei sich die obere Grenze durch die maximal zulässige Speisespannung für den CMOS-Baustein ergibt.

Wenn V_B z. B. nur 5 V beträgt, benötigt man statt der Spannungs-Verdoppler-Schaltung eine Spannungs-Verdreifacher-Schaltung. Eine mögliche Ausführung wird in Bild 56 gezeigt. Hier ist nach der ersten vollen Rechteckschwingungsperiode im Idealfall der Kondensator C_3 auf $2(V_B - V_F)$ aufgeladen, und bei der nächsten Halbperiode kommt zu dieser Spannung noch V_B dazu, so daß nach der Diode D_3 halbperiodenweise eine Spannung von $3(V_B - V_F)$ entsteht, d. h. für V_{GS} noch mit einer Spannung von $\approx 2\,V_B - 3$ V zu rechnen ist (bei $V_B = 5$ V somit $V_{GS} \approx 7$ V).

Falls die Betriebsspannung über 15 V liegt, muß der Rechteckimpulsgenerator anders ausgeführt werden. Eine Schaltung mit einem Operationsverstärker, die sich z. B. für Betriebsspannungen bis zu 30 V eignet, ist in Bild 57 zu sehen. Eine solche Schaltung ist auch dann günstig, wenn ein besonders kleiner Generator-Innenwiderstand erforderlich ist, weil man schnell schalten oder mehrere Leistungsschalter mit nur einem Generator betreiben will.

Da die SIPMOS-Eingangskapazität die Größenordnung von 1 nF hat und die Ladung von einer Kapazität entnommen wird, die 10 nF beträgt, ergibt sich bei der Inbetriebnahme des Rechteckimpulsgenerators bereits nach der ersten Periode eine entsprechend hohe Spannung V_{GS}. Andererseits ist zu berücksichtigen, daß der 10 nF-Kondensator infolge des Innenwiderstandes vom Rechteckimpulsgenerator nicht beliebig schnell aufgeladen wird. Wenn z. B. ein Innenwiderstand von 1 kΩ vorliegt (R_5 in Bild 57), gilt eine Zeitkonstante von 10 µs, d. h. es bringt nicht viel, wenn man die Impulsfrequenz des Rechteckimpulsgenerators über $1/2 \cdot 10\,\mu s$ (= 50 kHz) legt. Andererseits schadet aber eine etwas höhere Frequenz nicht; sie kann also z. B. ohne weiteres bei etwa 100 kHz liegen.

Bislang wurde immer nur das Aufladen der Eingangskapazität betrachtet, also das Einschalten des Transistors.

Bild 54
SIPMOS-Transistor als Schalter bei masseseitiger Last R_L

	V_R[1])	V_{GS}[2])	V_G[3])
„On“	$\approx V_B$	5...7 V	$V_B + 5...7$ V
„Off“	0	< 2 V	< 2 V

$V_G = V_R + V_{GS}$
[1]) Schalterbedingung
[2]) Physikalisch bedingt (s. Datenbuch)
[3]) Forderung für V_G

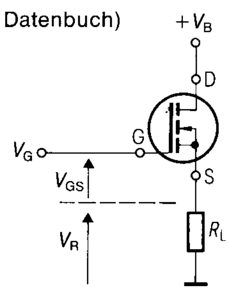


Bild 56
Gatespannungsgenerator in Verdreifacherschaltung für Betriebsspannungen von 5 ... 10 V

Dimensionierungsbeispiel:
C_3 = 10 nF
D_3: 1N4148
(sonst wie Bild 55)

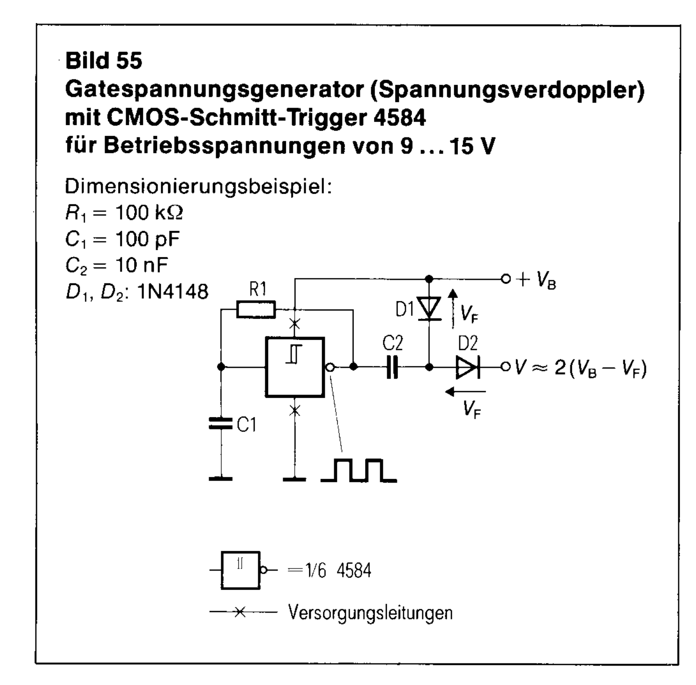


Bild 55
Gatespannungsgenerator (Spannungsverdoppler) mit CMOS-Schmitt-Trigger 4584 für Betriebsspannungen von 9 ... 15 V

Dimensionierungsbeispiel:
R_1 = 100 kΩ
C_1 = 100 pF
C_2 = 10 nF
D_1, D_2: 1N4148

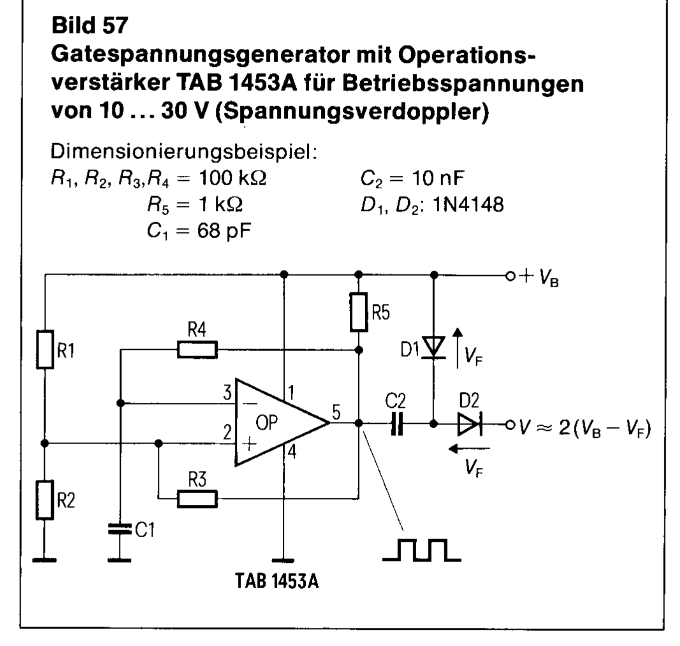


Bild 57
Gatespannungsgenerator mit Operationsverstärker TAB 1453A für Betriebsspannungen von 10 ... 30 V (Spannungsverdoppler)

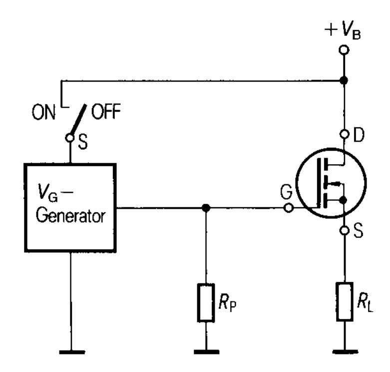
Dimensionierungsbeispiel:
R_1, R_2, R_3, R_4 = 100 kΩ
R_5 = 1 kΩ
C_1 = 68 pF
C_2 = 10 nF
D_1, D_2: 1N4148

Zum Ausschalten gibt es im Prinzip zwei Möglichkeiten, nämlich die selbsttätige Entladung durch einen ständig zwischen Gate und Masse liegenden Widerstand R_p (Bild 58, Version I), oder ein niederohmiges Verbinden des Gates mit Masse durch einen Schalter, wobei aber dann ein Vorwiderstand R_s in die Leitung zwischen Gatespannungsgenerator und Gate einzufügen ist (Bild 58, Version II). Selbstverständlich können beide Schalterarten durch Kleinsignaltransistoren realisiert werden. Bei der Version I ergibt sich der Vorteil, daß kein Ruhestrom auftritt, weil der Gatespannungsgenerator vollständig von V_B getrennt ist, während die Version II den Vorteil bietet, auch mehrere Transistoren mit nur einem Gatespannungsgenerator versorgen zu können. Zu beachten ist, daß der Widerstand R_p bzw. R_s im allgemeinen sehr hochohmig sein muß im Verhältnis zum Innenwiderstand des Rechteckimpulsgenerators, damit keine wesentliche Herabsetzung der am Gate letztendlich anliegenden Spannung auftritt.

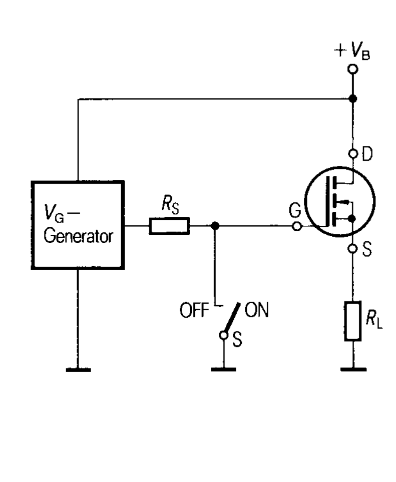
Abschließend sei noch darauf hingewiesen, daß ein Gatespannungsgenerator, wie er hier vorgestellt wurde, auch dann zweckmäßig sein kann, wenn die Last zwar nicht einseitig an Masse liegt, die zur Ansteuerung verfügbare Spannung jedoch zu klein ist (z.B. 5-V-Steuerelektronik oder V_B überhaupt kleiner als 7 V). Ein solcher Fall ergibt sich z.B. in der Autoelektronik, wenn bei einem 12-V-Bordnetz während des Anlaßvorgangs die Spannung bis auf 5 V absinkt, dabei aber über SIPMOS-Transistoren gesteuerte Verbraucher zuverlässig arbeiten müssen (z.B. Einspritzventile).

Bild 58
Prinzipmöglichkeiten für die Anordnung eines Kleinleistungsschalters S zum Ein- und Ausschalten des SIPMOS-Transistors bei masseseitiger Last R_L

Version I
R_p z. B. 100 kΩ



Version II
R_s z. B. 100 kΩ



6 Typische Anwendungsbeispiele

Aus einer Vielzahl von Schaltbeispielen mit SIPMOS-Transistoren wurden drei typische Anwendungen herausgegriffen, die nachstehend behandelt werden (siehe 1.3, Literaturhinweise).

6.1 Schaltnetzteile bis 250 W

Primär: 117/220 V~
Sekundär: 5 V—/20 A

Schaltnetzteile der Leistungsklasse 50 ... 250 W und Ausgangsströme >5 A werden üblicherweise nach dem Eintakt-Durchflußwandler-Prinzip konzipiert. Diese Schaltungsart kommt mit geringem Bauelementeaufwand aus und zeigt problemloses Betriebsverhalten.

In diesem Schaltbeispiel wird ein 50-kHz-Schaltnetzteil nach dem Eintaktdurchflußwandler-Prinzip beschrieben. Die Schaltung arbeitet mit dem SNT-Steuer-IC TDA 4718, dem MOSFET BUZ 80 als Leistungsschalter und der Schottky-Doppeldiode BYS 28.

Leistungsteil Primärkreis

Nach dem Funkentstörfilter lädt die Eingangswechselspannung V_I = 220 V~ bzw. 117 V~, gleichgerichtet durch den Brückengleichrichter, die Siebelkos 2×1000 µF, deren Spannung vom BUZ 80 an die Primärwicklung n_2 des Transformators gelegt wird. Bei 117 V-Betrieb wird dieses Potential durch Spannungsverdoppelung erzeugt (Abb. 59).

Die Ladekondensatoren 2×1000 µF sind überdimensioniert, um Netzspannungsausfälle über 2...3 Halbperioden zu überbrücken. Wird nicht die volle Stromentnahme benötigt, kann der Elko entsprechend kleiner gewählt werden.

Das Ansteuertastverhältnis des BUZ 80 wird vom TDA 4718 eingestellt. Da zum Ansteuern des BUZ 80 nur ein Ausgang benützt wird, ist das Tastverhältnis auf >50% begrenzt. Damit ist sichergestellt, daß sich der Trafokern in der Impulspause über die Wicklung n_1 und n_3 völlig entmagnetisiert, wobei die magnetische Energie zur Verbesserung des Wirkungsgrads mit einer schnellen Schaltdiode auf die Siebelkos zurückgespeist wird. Die Wicklungen n_1 und n_3 haben zusammen die gleiche Windungszahl wie n_2. Zwischen Primär- und Sekundärseite des Transformators dämpft die Schirmwicklung n_4 aus Cu-Folie das störende kapazitive Übersprechen auf die Sekundärseite.

Schaltverhalten

Der BUZ 80 wird mit 50 kHz getaktet. Seine Ansteuerung erfolgt mit dem CMOS-Treiberbaustein 4049, wie sie

bereits in Abb. 41 gezeigt wird. Die Dauer der Schaltflanke beträgt beim Ein- und Ausschalten ca. 50 ns.

Ein Schutzbeschalten der Transistoren gegen hohe Impulsleistungsbelastung während der Umschaltflanken entfällt, da SIPMOS-Transistoren wie erwähnt keinen zweiten Durchbruch aufweisen. Zur Dämpfung der von der Streuinduktivität verursachten Rückschlagspannung ist eine RC-Beschaltung der Primärwicklung des Trafos erforderlich. Dabei ist ein impulsfester 63-V-Polypropylenkondensator vorgesehen.

Steuer-, Regel- und Überwachungsschaltung

Die Erzeugung und Synchronisation der Schaltfrequenz, die Pulsdauermodulation und diverse Überwachungs- und Schutzfunktionen werden vom TDA 4718 übernommen. Ihre Spannungsversorgung wird verlustarm durch Gleichrichtung der Netzspannung und Z-Dioden-Stabilisierung mit kapazitivem Vorwiderstand gewonnen.

Der TDA 4718 verfügt über folgende Schutzfunktionen:

- Kurzschlußsichere Referenzspannung
- Weicher Anlauf
- Doppelimpuls-Unterdrückung

An Grenzwertüberwachungsfunktionen sind vorhanden:

- Dynamische Strombegrenzung
- Über-/Unterspannungsüberwachung
- Versorgungsunterspannungsüberwachung

Der Baustein sperrt die beiden Schaltausgänge Q_1/Q_2 beim Überschreiten eines jeden überwachten Grenzwertes. Nach Abbau der Grenzwertüberschreitung nimmt der Baustein mit weichem Anlauf den Betrieb wieder auf. Ausnahme ist die dynamische Strombegrenzung, die keinen weichen Anlauf verursacht.

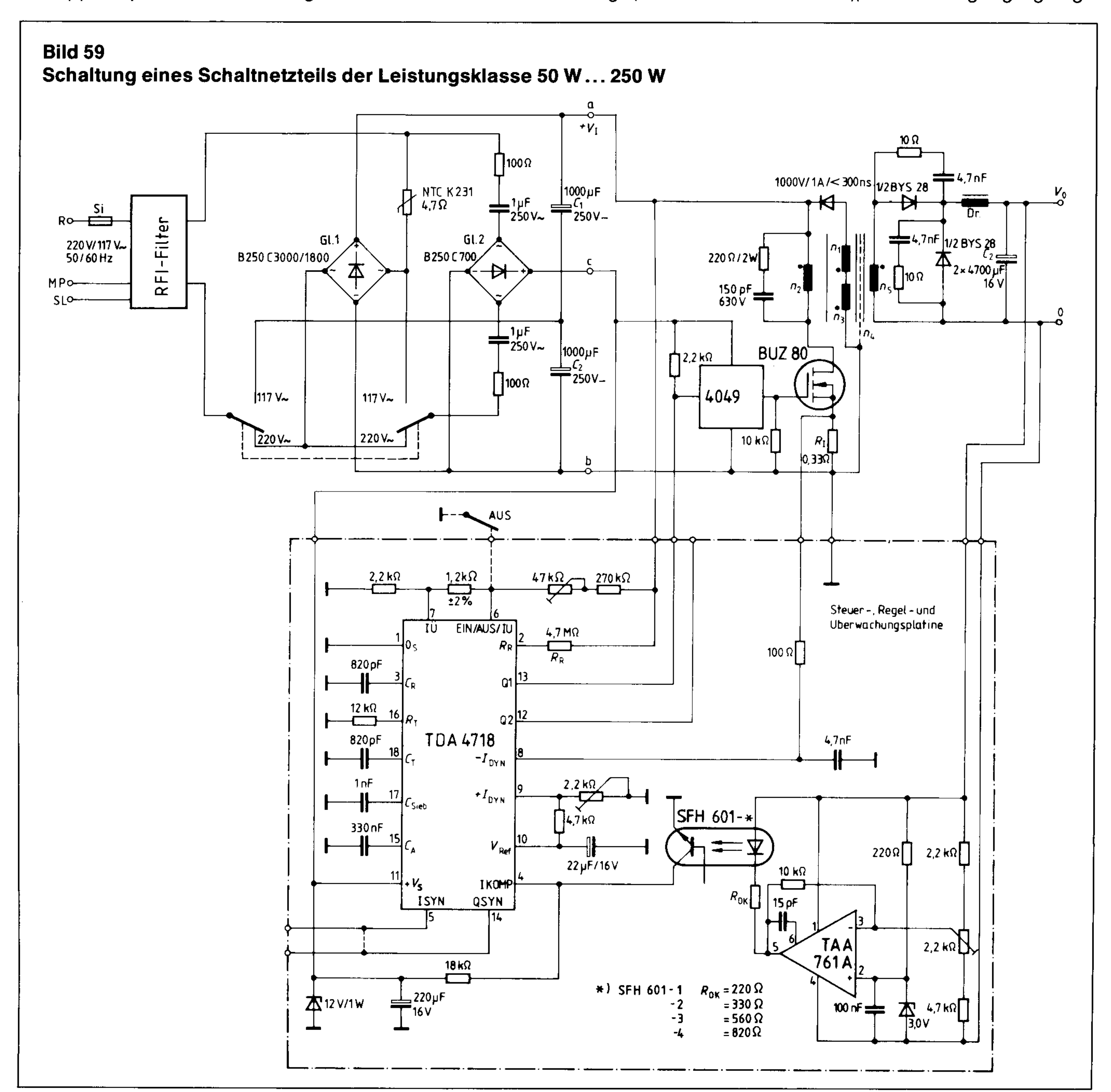
Synchronisation der Schaltfrequenz

Die Kombination R_T/C_T legt die 50 kHz-Schaltfrequenz fest. Am Eingang 5 kann eine Rechteckspannung zur Synchronisation des internen Oszillators eingespeist werden. Der Frequenzfangbereich beträgt ± 30 %. Sind Anschlüsse 14 und 5 verbunden, so schwingt der Oszillator mit seiner durch R_T und C_T bestimmten Nennfrequenz.

Vorsteuerung

Zur Netzbrummunterdrückung wird die Eingangsspannung V_I über den Widerstand R_R auf den Eingang 2 gelegt.

Bild 59
Schaltung eines Schaltnetzteils der Leistungsklasse 50 W ... 250 W



Durch diese Maßnahme (Vorsteuerung) wird das Ausgangstastverhältnis in Gegenphase zum Eingangsspannungsbrumm gesteuert, wodurch dieser weitgehend kompensiert wird.

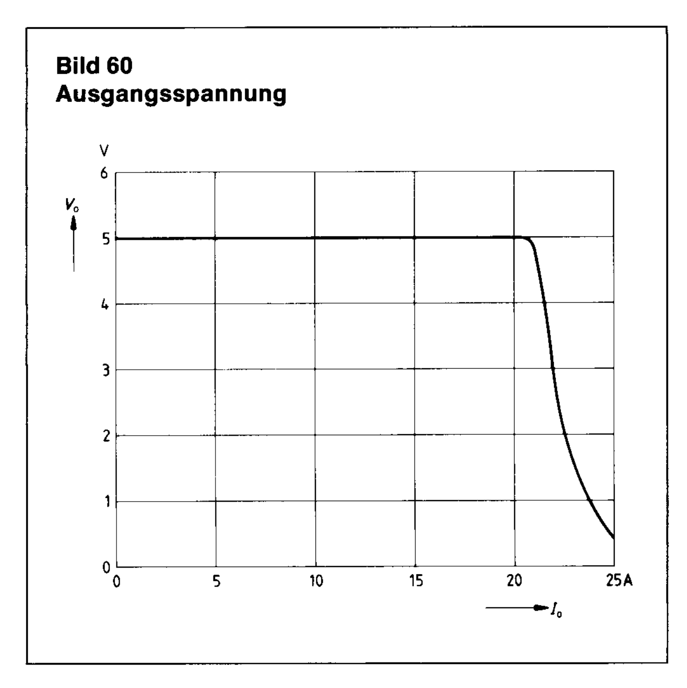
Überwachung der Eingangsspannung

Mit der Über- bzw. Unterspannungsabschaltung (Eingänge 7 und 6) wird die Eingangsspannung V_I auf oberen und unteren Grenzwert überwacht. Die Schaltwellen werden mit dem 47 kΩ-Trimmer so eingestellt, daß im 220 V~ Betrieb die Überspannungsabschaltung bei ca. 242 V und die Unterspannungsabschaltung bei 187 V einsetzt.

Dynamische Strombegrenzung (Eingänge 8 und 9)

Der Sourcestrom des BUZ 80 wird durch Messung des Spannungsabfalls am Meßwiderstand R_I erfaßt. Die Einsatzschwelle der dynamischen Strombegrenzung ist durch einen Trimmer einstellbar, um Streuungen der Referenzspannung V_{Ref} und die Toleranz von R_I aufzufangen.

Bild 60
Ausgangsspannung



Damit kann der Einsatzpunkt der Strombegrenzung exakt auf z. B. 21 A eingestellt werden und weil SIPMOS-Transistoren nicht mit Speicherzeiten behaftet sind, arbeitet die dynamische Strombegrenzung nahezu verzögerungsfrei, d. h. der Sourcestrom wird exakt beim Überschreiten des eingestellten Grenzwertes abgeschaltet. Abb. 60 zeigt den Verlauf der Ausgangsspannung V_O bei Einsatz der Strombegrenzung. Der Stromgrenzwert ist dabei auf 21 A eingestellt; der Kurzschlußstrom beträgt ca. 25 A.

6.2 Schaltnetzteil für Halogenlampen (dimmbar)

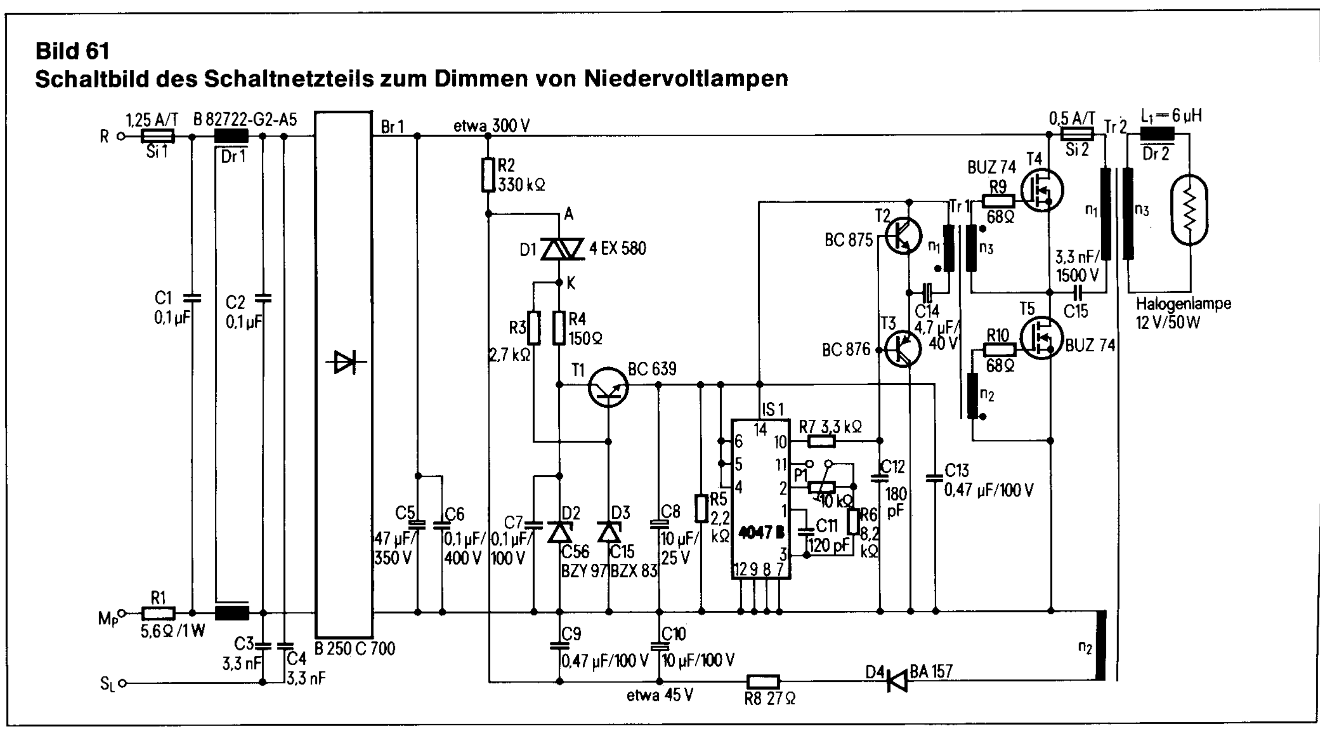
Funktionsbeschreibung

Bild 61 zeigt das Schaltbild des Schaltnetzteils zum Dimmen einer 12 V/50-W-Halogenlampe. Es ist eine Halbbrückenschaltung mit eigenem Oszillator.

Bereitstellen der Betriebsspannung für die Ansteuerschaltung

Schaltet man das Gerät ein, so liegt die gleichgerichtete und geglättete Netzspannung (etwa 300 V) am Elko C_5. Der Elko C_{10} wird über den hochohmigen Widerstand R_2 langsam aufgeladen. Erreicht die Spannung an diesem Elko die Zündspannung von etwa 24 V des Diac D_1, so zündet er und es fließt ein Strom über den Diac, über den Widerstand R_4 und den Transistor T_1 in den Elko C_8 und lädt diesen auf. Mit einer Spannung von 8 bis 10 V am Elko C_8 werden der Generator IS 1 und der mit den Transistoren T_2 und T_3 als Halbbrückenschaltung ausgeführte Treiber in Betrieb gesetzt und die SIPMOS-Transistoren T_4 und T_5 angesteuert. Sobald die hochfrequente Wechselspannung an der Hilfswicklung n_2 des Leistungstrafos Tr 2 24 V übersteigt, wird sie durch die Diode D_4 gleichgerichtet und über den niederohmigen Widerstand R_8 an den Elko C_{10} angeschlossen. Sie liegt je nach Einstellung der Lampenleistung bzw. der Helligkeit zwischen 18 V (bei f_{max} = 215 kHz bzw. $P_{L\,min} \approx 1{,}5$ W) und 45 V (bei f_{min} = 95 kHz bzw. $P_{L\,max} \approx 46$ W). Will man den Einstellbereich P_L = 100 bis 3 % einengen auf z. B. 100 bis 30 %, so können durch Verringerung der Windungszahl n_2 von Tr 2 die Spannung bei f_{min} (95 kHz) an C_{10} (< 45 V) z. B. auf 30 bis 35 V reduziert

Bild 61
Schaltbild des Schaltnetzteils zum Dimmen von Niedervoltlampen



und dadurch die Verluste in R_1, R_4 und T_1 gesenkt werden. Der Kaltwiderstand der Lampe ist mindestens 10mal niedriger als der Warmwiderstand (Lampe bei Nennleistung), und der Einschaltstrom der Lampe und die Drainströme von T_4 und T_5 sind in dem hier beschriebenen Schaltnetzteil etwa 3,5mal höher als im Nennbetrieb.

Daher kann auch die Spannung am Elko C_{10} beim Einschalten 3- bis 4mal höher als im Nennbetrieb sein. Um diese hohe Einschaltspannung an C_{10} zu begrenzen, wurde die Z-Diode D_2 vorgesehen. Die Z-Diode begrenzt in Verbindung mit R_4 und D_1 diese Einschaltspannung auf maximal 85 V. Aus der Spannung an C_{10} (18 bis 45 V im Betrieb) wird über D_1, R_4 und T_1 die niedrigere Speisespannung (etwa +14,5 V) für die Ansteuerschaltung entnommen und durch die Z-Diode D_3 in Verbindung mit R_3 und T_1 stabilisiert. Zum Erhöhen des Haltestroms von D_1 wurde der Widerstand R_5 an die Speisespannung (V_{C8}) angeschlossen, und somit ist sichergestellt, daß der Diac D_1 sogar bei 18 V an C_{10} leitend bleibt und die Speisespannung bei allen Betriebszuständen aufrecht erhalten wird. Der Spannungsabfall an dem leitenden Diac (Haltespannung V_H) beträgt 0,5 bis 1,5 V. Die Kondensatoren C_6, C_7, C_9 und C_{13} sind induktivitätsarme MKT-Kondensatoren, was bewirkt, daß die jeweiligen Spannungen, die an diese Kondensatoren angeschlossen sind, kaum höherfrequente Wechselspannungsanteile oder Spitzen aufweisen.

Die Ansteuerschaltung

Der Baustein IS 1 ist ein preisgünstiger Standard-CMOS-IC. Er enthält einen Multivibrator als Oszillator und ein nachgeschaltetes Flipflop. Die Oszillatorfrequenz entspricht der doppelten Schaltfrequenz und ist durch das externe *RC*-Glied (R_6, P_1 und C_{11}) bestimmt. Die Ausgangssignale (Pin 10 und 11) weisen mit ausreichender Genauigkeit ein Tastverhältnis von 1:1 auf. Ein Abgleich ist nicht notwendig. Es wurde bei dem hier vorgestellten Schaltungskonzept nur ein Ausgang (Pin 10) benutzt. Die Treiberstufe besteht aus den zwei BC-Transistoren T_2 und T_3, einem Elko C_{14} und einem Übertrager Tr 1.

Die Tastlücken

Das Ausgangssignal des Taktgebers IS 1 (Pin 10) wird über einen Tiefpaß, R_7 und C_{12} zum Eingang der komplementären Darlington-Treibertransistoren T_2 und T_3 angeschlossen. Die Rechteckspannung mit steilen Flanken des Taktgebers wird durch den Tiefpaß gerundet bzw. abgeflacht. Die Widerstände R_9 und R_{10} in den Sekundärkreisen des Treibertransformators Tr 1 und die Gate-Kapazitäten der jeweiligen SIPMOS-Transistoren bilden auch je einen weiteren Tiefpaß.

Außerdem verhindern R_9 und R_{10} die mögliche Entstehung von Partialschwingungen und das Überschwingen von Gatespannungen. Diese geschilderten Tiefpässe wurden so dimensioniert, daß die beiden SIPMOS-Transistoren mit gerade notwendigen Tastlücken, d.h. mit möglichst langer Einschaltdauer, ohne eventuelle Querströme schalten. Die hinreichend kleinen Tastlücken sind im Bild 62a (V_{DT5}) nicht erkennbar, weil die minimale Schaltfrequenz des Schaltnetzteils etwa 5 kHz höher als die Resonanzfrequenz des Schwingkreises gewählt ist. D. h., der Schwingkreis verhält sich bei dieser Frequenzeinstellung bereits geringfügig induktiv, und die kleinen Tastlücken eilen den Ein- und Ausschaltflanken der Drain-Source-Spannungen der Transistoren T_4 und T_5 vor. Diese Voreilung der Tastlücken ist z. B. aus dem kleinen Inversanteil des Drainstroms vom T_5 (Bild 62a und 62c) ersichtlich. Wenn man $f_{min} = f_{LC_{res.}}$ wählen würde, könnte man (bei f_{min}-Einstellung) im Bild 62a beim Oszillogramm V_{DT5} die exakt symmetrischen Tastlücken erkennen. Da bei diesem dimmbaren SNT die Frequenz wegen der Helligkeitseinstellung individuell vom Gerätebenützer immer wieder verändert wird, wurde auf eine exakte Übereinstimmung von f_{min} und $f_{LC_{res.}}$ verzichtet.

Ansteuerung der SIPMOS-Transistoren

Die Gatekapazitäten von T_4 und T_5 werden direkt von den Sekundärwicklungen n_2 und n_3 des Treibertransformators Tr 1 über die jeweilig vorgeschalteten Vorwiderstände R_9 und R_{10} auf- bzw. entladen (Bild 62a).

Leistungstrafo, Ausgangsdrossel und Schwingkreis

Der Transformator Tr 2 ist ein Stromwandler und seine Streuinduktivität L_{st} liegt mit der auf die Primärseite transformierten Drosselinduktivität ($L^*_{Dr2} = L_{Dr2} \cdot V^2$) in Reihe. Diese beiden Induktivitäten sind auf der Primärseite allein wirksam, wenn n_3 von Tr2 mit einer Lampe abgeschlossen ist. Die auf die Primärseite wirksame Gesamtinduktivität ($L_{ges} = L_{st} + L^*_{Dr2}$) bildet mit dem Kondensator C_{15} im Betrieb mit einer vorhandenen Lampe einen Schwingkreis und seine Resonanzfrequenz wird durch C_{15} und L_{ges} bestimmt. Bei $f_{min} \approx 95$ kHz (≙ 100-%-Last) wurde eine Schwingkreisgüte von etwa 2 erzielt. Um die sonst verhältnismäßig große Induktivität der Primärwicklung n_1 zu verringern, und dadurch eine Erhöhung des Magnetisierungsstromes zu ermöglichen, wurde ein Trafokern mit 0,16 mm Luftspalt gewählt, wodurch die Magnetisierungs- und Entmagnetisierungsvorgänge auch bei bewußt reduzierter Last oder sogar im völligen Leerlauf (mit defekter Lampe) definiert ablaufen und die Flankensteilheit der Drain-Source-Spannung der SIPMOS-Transistoren nahezu lastunabhängig bleibt (siehe $V_{D_{T5}}$ im Bild 62a und 63a). Diese und im Abschnitt über die Tastlücken geschilderten Maßnahmen schließen in allen möglichen Betriebszuständen (Vollast, Teillast, Leerlauf, Einschalten sowie Kurzschluß in der Lampenfassung) einen Querstrom über die beiden SIPMOS-Transistoren T_4 und T_5 völlig aus.

Bei der Primärwicklung n_1 wurde die zur Verfügung stehende Fensterbreite des Wickelkörpers voll ausgenützt, während bei n_2 und n_3 zur Erhöhung der Isolationsspannung nicht die gesamte Fensterbreite bewickelt wurde (siehe Wickelschema Bild 64).

Die Spannung an der Wicklung n_3 von Tr 2 wäre ohne die Drossel Dr 2 annähernd rechteckförmig (nicht abgebildet). Um diese Spannung abzuflachen (wegen Störstrahlung durch die Zuleitungen zur Lampe oder durch die Lampe selbst) und den Lampenstrom und die Drainströme von T_4 und T_5 sinusförmig zu gestalten (Bild 62a und b), wurde die Drossel mit $L_{Dr2} \approx 6$ µH in der Lampenleitung vorgesehen. Bild 62b zeigt die Spannung an n_3 mit Dr 2, die sinusförmige Lampenspannung und den ebenso verlaufenden Lampenstrom. Die Drosselinduktivität wirkt außerdem beim Einschalten mit kalter Lampe und in einem eventuellen Kurzschlußfall in der Lampenfassung strombegrenzend. Wegen hoher Betriebsfrequenz und des hohen I_L wurde L_{Dr2} zu nur 6 µH gewählt (kleine Abmessungen und niedrigere Verluste).

Betriebsverhalten

Schalten der SIPMOS-Transistoren

Wegen des günstigen Verlaufs der Drain-Source-Spannung und des sinusförmigen Drainstromes (bei P_{Lmax} und in ihrer Nähe) ist das Schaltverhalten der Transistoren T_4 und T_5 sehr gut (Bild 62a). D. h. die Transistoren schalten mit sehr geringen Flankenverlusten (Bild 62c).

Bild 62
Oszillogramme zum Betrieb des Schaltnetzteils bei maximaler Helligkeitseinstellung

a oben:	Gatespannung von T_5 (10 V/Skt)
Mitte:	Drainstrom von T_5 (0,5 A/Skt)
unten:	Drainspannung von T_5 (100 V/Skt)
b oben:	Spannung an der Wicklung n_3 von Transformator Tr 2 (20 V/Skt)
Mitte:	Lampenspannung (10 V/Skt)
unten:	Lampenstrom (5 A/Skt)
c	Arbeitskennlinie des Transistors T_5
vertikal:	Drainstrom (0,2 A/Skt)
horizontal:	Drainspannung (50 V/Skt)

a   2 µs

b   2 µs

OFF
ON

c   0

Bild 63
Oszillogramme zum Betrieb des Schaltnetzteils bei minimaler Helligkeitseinstellung

a oben:	Gatespannung von T_5 (10 V/Skt)
Mitte:	Drainstrom von T_5 (0,2 A/Skt)
unten:	Drainspannung von T_5 (100 V/Skt)
b oben:	Spannung an der Wicklung n_3 von Transformator Tr 2 (20 V/Skt)
Mitte:	Lampenspannung (2 V/Skt)
unten:	Lampenstrom (2 A/Skt)
c	Lampenstrom beim Einschalten und im Nennbetrieb (10 A/Skt)

a   1 µs

b   1 µs

c   0,1 s

Leerlauf

Mit einer defekten (z. B. durchgebrannten) Lampe ist die Lastwicklung n_3 von Tr2 nicht belastet, also im totalen Leerlauf. Nun ist im Vergleich zum Lastbetrieb, trotz eines Luftspalts beim Trafokern, eine große Primärinduktivität vorhanden. Diese Induktivität ($L \geqq 5$ mH) und der Kondensator C_{15} (3,3 nF) können keinen hochfrequenten Resonanzkreis bilden, während die durch das Potentiometer P_1 eingestellte Betriebsfrequenz (zwischen 95 und 215 kHz) unverändert bleibt. Jetzt ist die Wechselspannung an der unbelasteten Wicklung n_3 rechteckförmig (siehe Bild 63b), und sie beträgt je nach der Frequenzeinstellung 11 bis 15 V an der Lampenfassung.

Kurzschluß

Da sich an den Lampenzuleitungen oder an der Lampenfassung ein unbeabsichtigter Kurzschluß nie ganz ausschließen läßt, wurde, um die SIPMOS-Transistoren T_4 und T_5 (ohne Kühlkörper) gegen Zerstörung zu schützen, auf der Primärseite des Leistungstrafos Tr2 eine träge Schmelzsicherung Si2 vorgesehen (Bild 61). Diese Sicherung wurde so gewählt, daß sie beim Einschalten und im Dauerbetrieb den Primärstrom aushält und nur in einem völligen Kurzschluß am Ausgang nach etwa 0,8 s schmilzt. In solch einem Kurzschlußfall betragen die Drainströme von T_4 und T_5 etwa 2,5 A, wenn die Frequenzeinstellung auf f_{min} ($\triangleq P_{Lmax}$) steht. Sie sind also 4mal höher als im Nennbetrieb (Bild 62a) und damit noch zulässig. Bei $f \geq 130$ kHz ist ein Kurzschluß weit harmloser.

Das Dimmen

Wie bereits erwähnt, wird die Oszillator- bzw. Schaltfrequenz des SNT durch ein externes *RC*-Glied bestimmt. Der zeitbestimmende Widerstand wurde beim hier vorgestellten Schaltungskonzept teilweise veränderbar gewählt. Der 8,2-kΩ-Festwiderstand R_6 ist mit P_1 in Reihe geschaltet. Der veränderbare Widerstand, hier das Potentiometer P_1 kann zwischen 0 und 10 kΩ eingestellt werden. D. h., R_{ges} = 8,2 bis 18,2 kΩ und C_{11} = 120 pF bestimmen die Oszillator- und somit die Betriebsfrequenz des SNT. Durch Verstellung des Potentiometers P_1 kann man bei der vorgestellten Schaltung die Frequenz des Gerätes zwischen 95 und 215 kHz beliebig und stetig einstellen. Die Induktivität der Drossel Dr2 wurde zu 6 µH gewählt. Ihre Impedanz ändert

Tabelle 1
Bauvorschriften zum 100-kHz-SNT

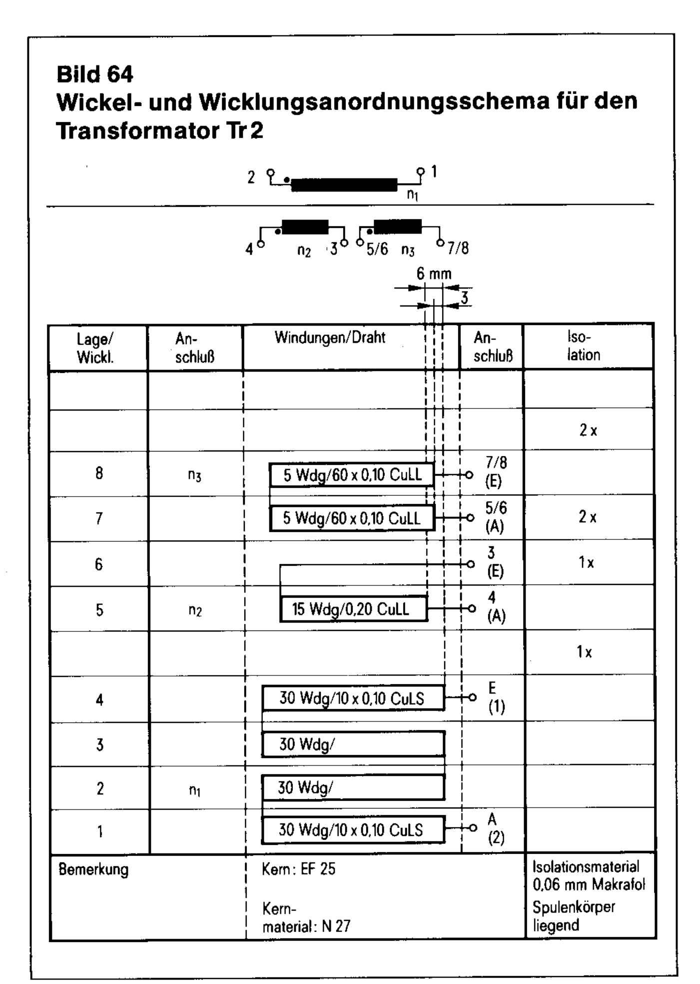
Trafo 1		Bestellbezeichnung
Kern Wickelkörper Bügel Isolationsmaterial Wicklungen Bewicklung	ein Satz EF 12,6 (N30; o. L.) 0,06 mm Makrofol n_1 = 37 Wdg/0,15 mm CuLL $n_2 = n_3$ = 48 Wdg/0,12 mm CuLL 1. n_1 wickeln 2. einmal Isolation 3. n_2 wickeln 4. einmal Isolation 5. n_3 wickeln 6. zweimal Isolation	B66305-G0000-X130 B66202-A001-M001 B66202-A2001-X000
Trafo 2		Bestellbezeichnung
Kern Wickelkörper Bügel Wicklungen	EF 25 (N27) 1 Kern (o. L.) 1 Kern (mit 0,16 ± 0,02 mm Luftspalt $\triangleq A_L \approx$ 400 nH) n_1 = 120 Wdg/10 × 0,10 mm CuLS; HF-Litze n_2 = 15 Wdg/0,20 mm CuLL; Voll-Draht n_3 = 10 Wdg/60 × 0,10 mm CuLL; HF-Litze	 B66317-G0000-X127 B66317-G0160-X127 B66208-A1003-R001 B66208-A2001-X000
Bewicklung und Wicklungsanordnung: Siehe Wickel- und Anordnungs-Schema!		
Drossel 2		Bestellbezeichnung
Kern Spulenkörper Wicklung $L \approx 6$ µH (= 6,3 µH) Die Kernhälften werden geklebt.	Ein Satz EF 16 (N27; je mit einem 0,50 ± 0,05 mm Luftspalt $\triangleq A_{Lges.} \approx$ 41 nH) n = 12 Wdg/60 × 0,10 mm CuLS; HF-Litze	B66307-G0500-X127 B66308-A1001-T001

Tabelle 2
Technische Daten des 100-kHz-SNT zum Dimmen einer 12-V-/50-W-Halogenlampe

Eingangswechselspannung	V_E = 220 V
Lampenspannung	V_L = 12 bis 1,3 V, einstellbar
Lampenleistung	P_L = 50 bis 1,5 W ≙ 100 bis 3 %, einstellbar
Frequenz	f = 95 bis 215 kHz, einstellbar
Wirkungsgrad	$\eta \approx 88$ %
Gewicht	145 g
Umgebungstemperatur	$T_A \leqq 60$ °C

sich mit der Betriebsfrequenz linear und in Verbindung mit der Frequenzänderung von 120 kHz und der Schwingkreisgüte von 2 wird eine Lampenleistungseinstellung von 50 bis 1,5 W ≙ 100 bis 3 % ermöglicht.

Diesen Einstellhub kann man bei gleichbleibenden L_{Dr2} und Q durch ein Umdimensionieren des RC-Gliedes einengen oder erweitern. Die Halogenlampe ist eine ohmsche Last, aber der Lampeninnenwiderstand R_i ist sehr temperaturabhängig. Reduziert man die Lampenleistung durch Erhöhen der Betriebsfrequenz mit P_1, so wird die Lampe kühler und ihr R_i kleiner. Dieser Effekt ist positiv und macht die Helligkeitsregelung (von Hand) effektvoller und leichter, wodurch man bei einer Leistungsverstellung von P_L = 50 bis 1,5 W (≙ 100 bis 3 %) mit einer 120-kHz-Frequenzänderung und einer Schwingkreisgüte von etwa 2 völlig auskommt. Je höher die Betriebsfrequenz beim Dimmen durch P_1 eingestellt wird, desto stärker induktiv wirkt der Schwingkreis (Bild 63a und b). Die Betriebsfrequenz (f_{min} = 95 kHz bei P_{Lmax}) ist nur etwa 5 kHz höher als die Resonanzfrequenz des Schwingkreises gewählt. Dieser 5-kHz-Abstand zwischen beiden Frequenzen wird natürlich um so größer je höher man die Betriebsfrequenz einstellt.



Lage/ Wickl.	Anschluß	Windungen/Draht	Anschluß	Isolation
				2x
8	n_3	5 Wdg/60 x 0,10 CuLL	7/8 (E)	
7		5 Wdg/60 x 0,10 CuLL	5/6 (A)	2x
6			3 (E)	1x
5	n_2	15 Wdg/0,20 CuLL	4 (A)	
				1x
4		30 Wdg/10 x 0,10 CuLS	E (1)	
3		30 Wdg/		
2	n_1	30 Wdg/		
1		30 Wdg/10 x 0,10 CuLS	A (2)	
Bemerkung		Kern: EF 25 Kern-material: N 27		Isolationsmaterial 0,06 mm Makrofol Spulenkörper liegend

Bild 64
Wickel- und Wicklungsanordnungsschema für den Transformator Tr 2

6.3 SIPMOS-Halbbrücke für Frequenz-Umrichter

Obwohl sich fast alle Hersteller von Asynchronmotorantrieben im Leistungsbereich 100 W bis 1 kW eine Möglichkeit zum Verstellen der Drehzahl wünschen, scheitert der breite Einsatz von Wechselrichtern immer noch an den verhältnismäßig hohen Kosten. Es ist an Aufwand zumindest ein Netzgleichrichter mit Sieb-Elko, eine Dreifach-Gegentaktschaltstufe und ein Ansteuerblock erforderlich, der ein nach der Unterschwingungsmethode pulsbreitenmoduliertes Signal für alle drei Phasen, jeweils um 120° versetzt, erzeugen kann.

SIPMOS-Transistoren im Leistungsteil sind wegen ihres guten Schaltverhaltens und der integrierten Diode für den Einsatz in Umrichtern grundsätzlich geeignet, doch müssen die Ansteuersignale beider Transistoren einer Halbbrücke zeitlich sehr genau aufeinander abgestimmt sein. (Die Gate-Schwellenspannung beider Transistoren sollte zum selben Zeitpunkt erreicht werden.) Da außerdem auf der Ansteuerseite beider Transistoren ein Potentialunterschied von 310 V herrscht, wurden in den bisher vorgestellten Umrichterschaltungen Maßnahmen zur Potentialtrennung vorgesehen.

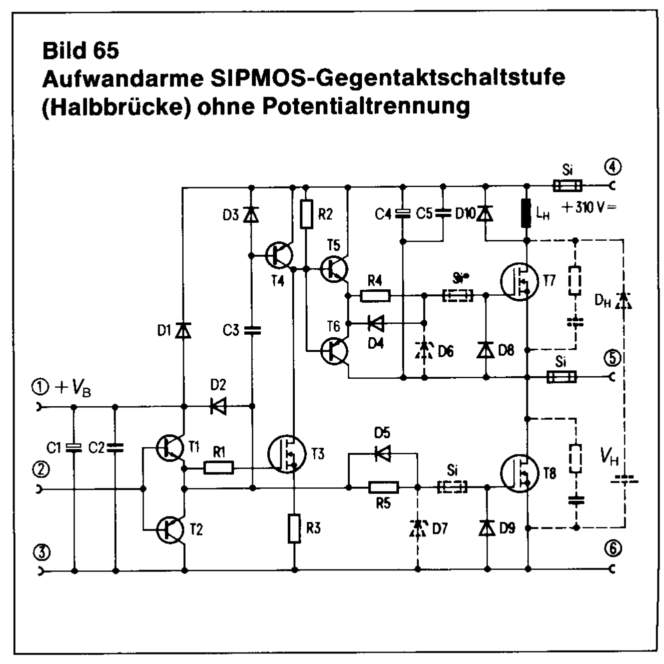
Im Gegensatz zu diesen technisch guten, aber relativ aufwendigen Lösungen wurde bei der hier vorgeschlagenen Schaltung größter Wert auf niedrige Kosten und geringen Bauteileaufwand gelegt. Es gibt daher weder Potentialtrennung und Überspannungsschutz noch Stromüberwachung und Kurzschlußschutz. Trotz dieser Einschränkungen wurde mit der direkt betriebenen Gegentaktschaltstufe eine Lösung gefunden, die vor allem für kostenkritische Anwendungen von Interesse sein dürfte.

Eigenschaften der Halbbrücke

Die Halbbrücke (Bild 65) wurde für einen Umrichter (Bild 66) konzipiert, der mit 15 kHz Schaltfrequenz arbeitet und an einer Zwischenkreisgleichspannung von +310 V liegt. 15 kHz Schaltfrequenz wurden deswegen gewählt, weil sich gezeigt hat, daß z. B. bei 2 kHz Schaltfrequenz der Stromrippel bei Motoren mit niedriger Induktivität so groß wird, daß erhebliche Einbußen an Drehmoment und Wirkungsgrad hingenommen werden müssen. Der Stromrippel wirkt nämlich wie ein Blindstrom, der die Ständerwicklung erwärmt und keinen Beitrag zum Drehmoment leistet. Außerdem wird das Statorblechpaket zu mechanischen Schwingungen angeregt, die als störendes Pfeifen in Erscheinung treten.

Wegen der Hilfsspannungserzeugung für den hochliegenden SIPMOS-Transistor aus der Niederspannungsversorgung ist für die Zwischenkreisspannung jeder Wert zwischen 0 und +310 V zulässig. Die Schaltzeiten der Anordnung sind aus den Oszillogrammen zu ersehen.

Bild 65
Aufwandarme SIPMOS-Gegentaktschaltstufe (Halbbrücke) ohne Potentialtrennung



Funktionsweise und Schaltungsbeschreibung der Endstufe

Die Schaltungsanordnung (Bild 65) ist nach dem Anlegen einer Niederspannungsversorgung an die Klemmen 1 und 3, einer Rechtecksignalquelle mit steilen Flanken an 2 und 3 sowie der Hochspannungsversorgung an 4 und 6 betriebsbereit. Die Hilfsspannung, die zum Ansteuern des hochliegenden Transistors T_7 notwendig ist, wird in der Leitend-Phase von T_8 gewonnen. In dieser Phase sind die Kondensatoren C_4, C_5 über T_8 mit Klemme 6 verbunden und können über die Diode D_1 aus der Niederspannungsversorgung V_B geladen werden. Die Größe von C_4 richtet sich nach der Zeit, die von einem Aufladezyklus bis zum nächsten überbrückt werden muß und nach der Höhe der Stromspitze, die beim Einschalten von T_7 dessen Eingangskapazität auflädt.

C_4, C_5 sollten in unmittelbarer Nähe der Treiberstufe T_5, T_6 angeordnet werden, um Spannungseinbrüche infolge der Leitungsinduktivität zu vermeiden, die das Schaltverhalten negativ beeinflussen (starke hochfrequente Überschwinger auf dem Gatesignal).

Die Kondensatoren C_1, C_2 dienen demselben Zweck. Zum Verständnis der Funktionsweise wird als Ausgangszustand angenommen, daß T_8 sowie T_3 leitend waren und C_4 geladen ist. Mit der negativen schnellen Flanke des Ansteuersignals (etwa 50 ns) werden nun die Eingangskapazitäten von T_3 und T_8 über den Treibertransistor T_2 entladen.

T_8 hat bei $V_{DS} = 0$ eine etwa doppelt so große Eingangskapazität ($C_{iss} = 7000$ pF) wie bei $V_{DS} = 310$ V (3500 pF). Zum schnellen Entladen wird daher der Widerstand R_5 von der Diode D_5 überbrückt.

Die Entladestromspitze beträgt hier etwa 1 A. Infolge der wesentlich niedrigeren Eingangskapazität von T_3 $C_{iss} = 700$ pF bei $V_{DS} = 0$) ist bei R_1 keine Diode erforderlich.

Die Ausgangskapazität von T_3 würde nun ohne T_4 über R_2 relativ langsam geladen und die Anstiegszeit der Drain-Source-Spannung wäre entsprechend schlecht. Der Kondensator C_3, die Diode D_1 und der Transistor T_4 beschleunigen diesen Vorgang. Bei negativer Flanke an T_1, T_2 liefert C_3 den Basisstrom zur kurzen Ansteuerung von T_4. Dieser schließt den Widerstand R_2 kurz und ermöglicht somit einen sehr schnellen Spannungsanstieg der DS-Spannung von T_3, T_5, T_6 verstärken diesen Spannungsanstieg, so daß über den Widerstand R_4 die Eingangskapazität von T_7 schnell aufgeladen werden kann. Nach dem Erreichen der Gate-Schwellenspannung schaltet dann T_7 ein und zieht seinen Ansteuerteil gleichermaßen mit hoch.

Da D_1 jetzt in Sperrichtung liegt, wird die Stromspitze zum Aufladen der Eingangskapazität von T_7 aus den Kondensatoren C_4, C_5 entnommen. T_4 ist nur während des Schaltvorgangs leitend, bis der Kondensator C_3 auf 317 V aufgeladen ist. Anschließend übernehmen R_2 und die Treiber T_5, T_6 das Aufrechterhalten des Ansteuersignals.

Die zeitliche Verzögerung zwischen negativer Flanke an T_1, T_2 und positiver Flanke an T_5, T_6 beträgt etwa 100 ns (Bild 67). Diode D_2 klemmt den Emitter von T_1 beim Ladevorgang von C_3 auf $V_B + 0{,}7$ V. Im umgekehrten Fall geschieht folgendes:

Bei der positiven Flanke an T_1, T_2 wird T_3 wegen der weit geringeren Eingangskapazität von T_3 gegenüber T_8 zuerst eingeschaltet und zieht den Widerstand R_2 nach unten. Die Eingangskapazität von T_7 wird über D_4, T_6 und T_3 entladen. R_3 stellt sicher, daß der Entladestrom in T_3 (Schaltverluste) nicht zu groß wird. Wenn die Spannung an der Drain von T_3 um 2,1 V negativer ist als an Klemme 5, wird D_8 leitend und verhindert so ein Überschreiten der zulässigen negativen Gate-Source-Spannung.

Etwa 100 ns später ist auch die Gate-Schwellenspannung von T_8 erreicht und die Spannung an Klemme 5 beginnt zu fallen. Während dieses Vorgangs wird die Gate-Source-Spannung des Transistors T_7 von T_3 auf 0 bis $-2{,}1$ V gehalten. Die Ladung des Kondensators C_3 fließt über die Diode D_3 in den Kondensator C_4, der nach Beendigung des Schaltvorgangs (die Drain-Source-Spannung von T_8 ist dann = 0) über D_1 aus der Niederspannungsquelle nachgeladen wird.

Die Kombination von D_6 oder D_7 mit einer flinken Sicherung soll die Treiberschaltung bei einem Drain-Gate-Kurzschluß von T_7 oder T_8 schützen. Die Entlastungsdrossel L_H mit Entmagnetisierungsdiode D_{10} ist notwendig, um den Querstrom beim Schalten von z. B. T_8 zu begrenzen, wenn durch die Inversdiode von T_7 noch Strom fließt (Zwangskommutierung).

Bei der Übernahme des Stroms durch T_8 muß in diesem kritischen Betriebsfall nämlich die Sperrverzögerungsladung der Inversdiode von T_7 zusätzlich abgebaut werden.

Zur Entlastung wird für den Transistortyp BUZ 45 eine schnell einschaltende Hilfsdiode D_H empfohlen, die den Abbau der Sperrverzögerungsladung beschleunigt. Der neue FREDFET-Transistor BUZ 211 mit kleinerer Sperrverzögerungsladung und kürzerer Sperrverzögerungszeit braucht diese Hilfsbeschaltung nicht. Er wird deshalb für den Einsatz in Umrichtern empfohlen.

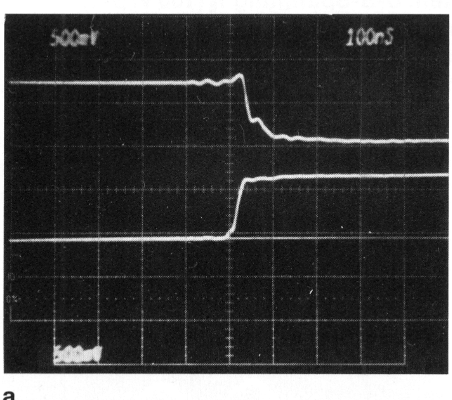
Bild 66
Blockschaltbild eines Frequenzumrichters für Drehstrommotoren

Schaltverhalten der Treiberstufen T_1, T_2 bzw. T_5, T_6

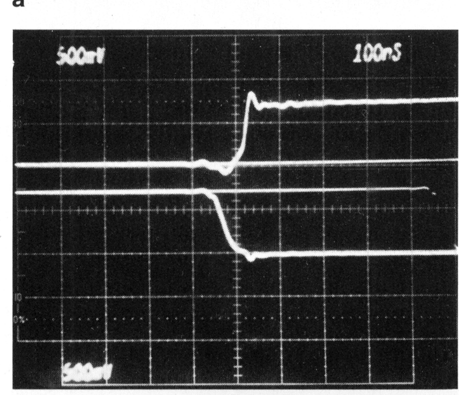
Nach dem Aufbau der SIPMOS-Gegentaktschaltstufe sollte vor dem Zuschalten der 31-V-Gleichspannung auf jeden Fall eine Kontrolle der Treiberstufen erfolgen, wenn man nicht riskieren will, daß die Leistungs-SIPMOS-Transistoren durch fehlerhafte Ansteuerung zerstört werden.

Aus den Bildern 67 und 68 ist zu sehen, wie die Signale an den Treiberausgängen T_1, T_2 bzw. T_5, T_6 ohne bzw. mit angeschlossenen SIPMOS-Transistoren aussehen sollten. Es ist hier deutlich zu erkennen, wie die Eingangskapazität die Schaltflanken verlangsamt. Der Knick in der fallenden Flanke des Gate-Signals von T_7 kommt vom Strombegrenzungswiderstand R_3 in der Sourceleitung von T_3. Läßt man ihn weg, so verschwindet der Knick, aber dafür nehmen die Schaltverluste in T_3 so stark zu, daß unbedingt ein Kühlblech erforderlich wird. Außerdem besteht die Gefahr, daß

Bild 67
Schaltverhalten der Treiberstufen T_1, T_2 bzw. T_5, T_6 ohne angeschlossene SIPMOS-Transistoren. Ausgangssignale an T_1, T_2 jeweils unten, an T_5, T_6 oben (5 V/Skt), Zeitmaßstab 100 ns/Skt
a positive Flanke an T_1, T_2
b negative Flanke an T_1, T_2

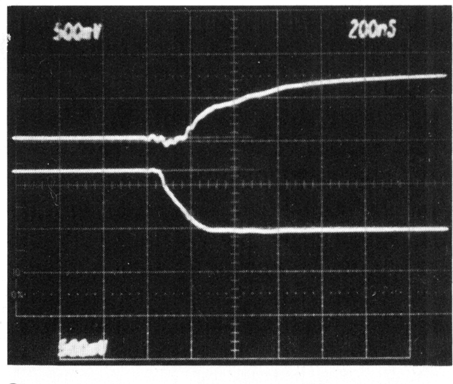


a



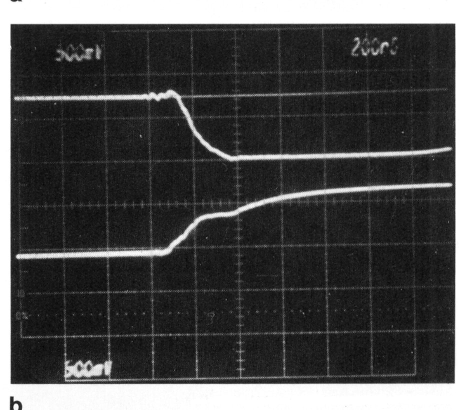
b

Bild 68
Schaltverhalten der Treiberstufen T_1, T_2 bzw. T_5, T_6 mit angeschlossenen SIPMOS-Transistoren. Gate-Signale an T_7 jeweils oben, an T_8 unten (5 V/Skt), ohne angeschlossene Zwischenkreisspannung, Zeitmaßstab 200 ns/Skt
a positive Flanke an T_7
b negative Flanke an T_7





a



b

der Laststrom über D_8, D_4, T_6 und T_3 fließt und den Ansteuerkreis zerstört.

Schaltverhalten der unbelasteten Endstufe

Bild 69 läßt erkennen, wie das Einschalten von T_8 im Detail abläuft.

T_3 wird bereits während des Spannungsanstiegs am Gate von T_8 leitend (Source-Spannung T_3 an R_3 in Bild 69c) und zieht demzufolge die Gatespannung von T_7 auf $-0{,}7$ V, ehe die Schwellenspannung von T_8 erreicht ist. Der Spannungseinbruch an L_H (Bild 69a), der gleichzeitig die Schaltflanke der DS-Spannung an T_8 beeinflußt, ist ein Indikator für die Höhe und Dauer von Querströmen, die während der Umschaltphase auftreten.

Mit Hilfe der Formel $V_L = L\frac{di}{dt}$ läßt sich damit bei bekannter Induktivität ($L_H = 3\ \mu$H) ein $\frac{di}{dt}$ von 5,6 A/200 ns ermitteln.

Im Belastungsfall kann der Spannungseinbruch an der Drossel wesentlich größer sein, wenn der Strom aus der Inversdiode von T_7 in den Transistor T_8 übergehen soll.

Die Inversdiode wird bei gleichzeitig eingeschaltetem Transistor leitend, wenn der Spannungsabfall am $R_{DS\,on}$ des Transistors 0,7 V übersteigt. (Beim BUZ 45 ist dazu ein Inversstrom von 1,66 A ausreichend).

Der Buckel im Gatesignal von T_8 (Bild 69b) wird vom Kondensator C_3 verursacht, der seinen Ladestrom beim Einschalten von T_7 aus der Treiberschaltung T_1, T_2 holt.

Schaltverhalten der belasteten Endstufe

Zum Test der Endstufe im Belastungsfall wurde nach Bild 66 eine Umrichteranordnung aufgebaut, deren Ansteuerblock mit einer Schaltfrequenz von 15 kHz arbeitet und für jede Phase ein nach dem Unterschwingungsverfahren pulsbreitenmoduliertes Ansteuersignal liefert.

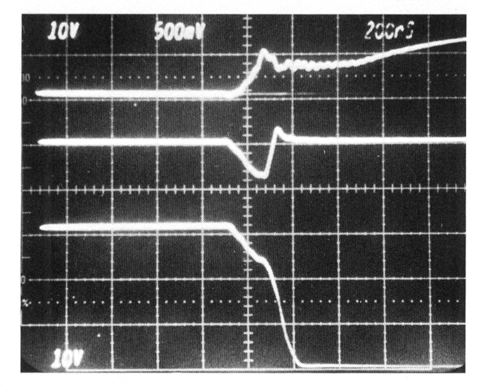
Bild 70a zeigt den Stromverlauf in zwei Zuleitungen eines angeschlossenen Motors für eine vorgegebene Frequenz von 16,6 Hz.

Wegen der sich laufend ändernden Pulsbreite der Signale sind die Schaltflanken der Bilder 70b und c mehrfach gezeichnet. Es ist jedoch zu erkennen, daß die negative Flanke der Drain-Source-Spannung von T_8 durch den Einbruch an der Entlastungsdrossel stromabhängig beeinflußt wird. An der positiven Flanke ist ebenfalls eine stromabhängige Anstiegszeit festzustellen, die sich im Bereich 100 bis 200 ns bewegt.

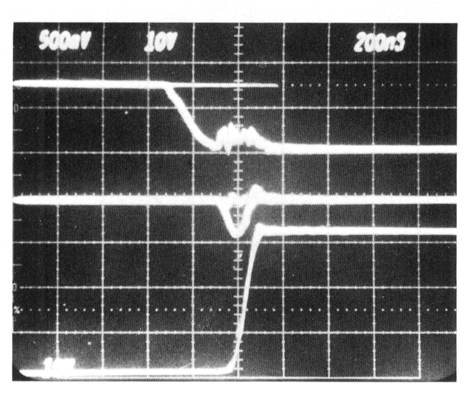
Erfahrungen mit SIPMOS-Umrichtern

Trotz der erzielbaren schnellen Schaltzeiten und der daraus resultierenden geringen Schaltverlustleistung werden SIPMOS-Transistoren in schnellen Umrichtern nur dann erfolgreich eingesetzt, wenn die nachfolgend beschriebenen kritischen Betriebszustände gelöst werden können.

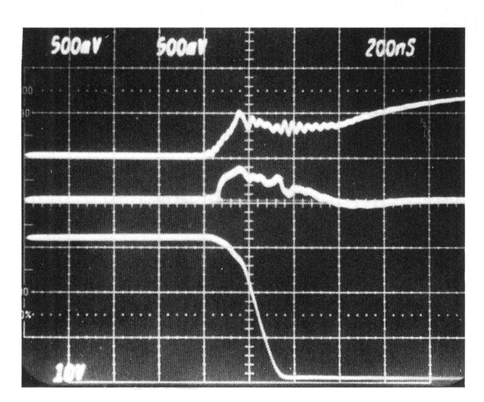
Bild 69
Schaltverhalten der unbelasteten Gegentaktschaltstufe
Zeitmaßstab 200 ns/Skt
a Einschalten T_8, Ausschalten T_7
oben: Gatesignal T_8 (5 V/Skt)
Mitte: Spannungseinbruch an LH (100 V/Skt)
unten: D-S-Spannung T_8 (100 V/Skt)
b Ausschalten T_8, Einschalten T_7
oben: Gatesignal T_8 (5 V/Skt)
Mitte: Spannungseinbruch an LH (100 V/Skt)
unten: D-S-Spannung T_8 (100 V/Skt)
c Einschalten T_8, Ausschalten T_7
oben: Gatesignal T_8 (5 V/Skt)
Mitte: Source-Spannung T_3 (5 V/Skt)
unten: D-S-Spannung T_8 (100 V/Skt)



a

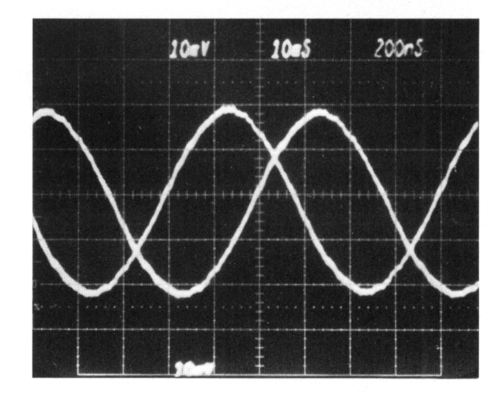


b

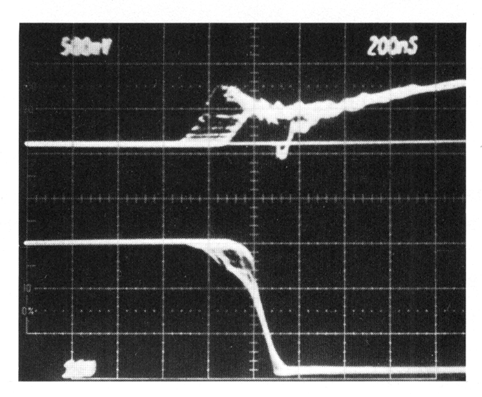


c

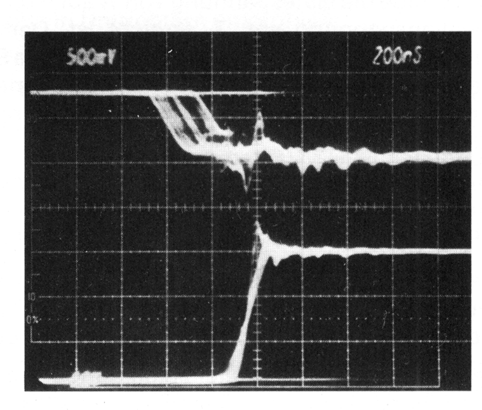
Bild 70
Schaltverhalten der belasteten Endstufe ($f = 16{,}6$ Hz)
a Motorstrom bei einer Frequenz von 16,6 Hz (1 A/Skt)
Zeitmaßstab 10 ms/Skt
b Einschalten T_1, Ausschalten T_2
oben: Gatesignal T_8 (5 V/Skt)
unten: D-S-Spannung T_8 (100 V/Skt)
c Ausschalten T_1, Einschalten T_2
oben: Gatesignal T_8 (5 V/Skt)
unten: D-S-Spannung T_8 (100 V/Skt)



a



b



c

Überspannungsschutz

Bei einem stufenweisen Erniedrigen der Drehzahl eines Asynchronmotors wirkt dieser als Generator und speist in den Gleichspannungszwischenkreis zurück. Die Zwischenkreisspannung erhöht sich dabei um so mehr, je größer der vorgegebene Frequenzsprung und je höher der magnetische Fluß im Motor während dieses Übergangs ist. Durch eine Rücknahme des Flusses per Software (auf der Ansteuerseite) für eine bestimmte Zeit läßt sich dieser Effekt zwar vermindern, aber nicht vermeiden.

Für gezieltes Bremsen ist eine Überwachung der Zwischenkreisspannung und eine sofortige Reaktion durch einen „Brems-Chopper" notwendig, der das Ansteigen der Spannung durch gezieltes Zuschalten eines ohmschen Lastwiderstandes parallel zum Zwischenkreiskondensator verhindert.

Für einfache Anwendungsfälle (z. B. Waschmaschinen) wäre auch eine Abschaltung des Motors bis zum Stillstand denkbar (Takten mit Amplitude 0). Ein Überspannungsschutz ist dann nicht unbedingt erforderlich.

Überstromschutz

Da bekannt ist, daß Drehstrommotoren unter Last beim Anlauf einen Strom aufnehmen, der den Nennstrom etwa um den Faktor 6 übersteigt, andererseits aber die Umrichterstufe optimal für den Nennbetrieb ausgelegt sein sollte, versucht man den Anlaufstrom durch Anfahren mit kleiner Frequenz zu begrenzen. Bei einer dynamischen Strombegrenzung durch Einfügen eines Serienwiderstandes in die Sourceleitung der SIPMOS-Transistoren müssen folgende Gesichtspunkte berücksichtigt werden:

Der Strom kann nur in Vorwärtsrichtung gemessen und abgeschaltet werden, was bedeutet, daß die Ströme unsymmetrisch zur Null-Linie werden (Inversstrom kann nicht abgeschaltet werden.) Infolge der stromabhängig sich verringernden Gate-Source-Spannung ist die Treiberversorgungsspannung für ausreichende Stromleitfähigkeit zu erhöhen und die Treibertransistoren für die höheren Lade- und Entladestromspitzen auszulegen. Wegen der Stromspitzen im Umschaltmoment (Sperrverzögerungsladung) muß die Meßphase des Stroms genau zwischen den Schaltflanken liegen. Dazu ist aber für die Auswertung eine Verzögerung der Anstiegsflanke des Gate-Signals um die Schaltzeit des MOS-Transistors (100 bis 200 ns) nötig. (Ein RC-Glied zur Unterdrückung der Umschaltstromspitze verzögert die Erkennung des Überstroms und verringert damit die Wirksamkeit.) Beim Einsatz von drahtgewickelten Hochlastwiderständen zur Strommessung beeinflußt der induktive Anteil das Schaltverhalten negativ und erhöht die Schwingneigung im Schaltaugenblick. In dieser Hinsicht besser ist die Abfrage der Drain-Source-Spannung im eingeschalteten Zustand.

Zur Blockade der Hochspannung im ausgeschalteten Zustand ist hier allerdings eine hochsperrende Diode nötig. Wie vorher, muß auch hier die Auswerteelektronik sicherstellen, daß der Strom nicht während der Schaltflanken gemessen wird.

Ausfall einer Halbbrücke

Beim Ausfall einer Halbbrücke wird meistens die Gate-Source- und die Drain-Source-Strecke kurzgeschlossen, so daß die Sicherung in der Versorgungsleitung zur Hochspannung ausgelöst wird. Der Motor liegt dann mit einer Phase auf Massepotential und wird aus den restlichen zwei Halbbrücken mit einer Phasenverschiebung von 120° gespeist. Da der fiktive Wechselspannungsmittelpunkt des Umrichters auf halber Zwischenkreisspannung liegt, fließt außer dem Wechselstrom jetzt auch ein sehr großer Gleichstrom durch den Motor, der die beiden anderen Halbbrücken ebenfalls zerstört. Zur Vermeidung dieser Kettenreaktion ist es daher unbedingt erforderlich, in jeder Motorleitung eine Sicherung vorzusehen, die bei zu hohem Motorstrom auslöst.

Der Motor läuft dann im Einphasenbetrieb weiter, vorausgesetzt, die beiden Halbbrücken haben den hohen Strom bis zum Auslösen der Sicherung heil überstanden.

Für Motoren, bei denen die Ströme unter extremen Lastbedingungen beim Ändern der Frequenz nicht bekannt sind, ist es deshalb sinnvoll, in der Testphase eine Strombegrenzung vorzusehen, die den Umrichter vor zu hohen Stromspitzen schützt.

Ein- und Ausschalten

Da beim Einschalten der Niederspannungsversorgung vom Ansteuerblock (SAB 8051) undefinierte Signale erzeugt werden, die die Umrichterendstufe gefährden könnten, sollte die Zwischenkreisspannung erst nach Vorliegen eindeutiger Ansteuersignale aufgebaut werden.

Zur Vermeidung unzulässig hoher Stromspitzen beim Laden der Zwischenkreiskapazität (Kurzschluß im Einschaltmoment) empfiehlt es sich, einen Ladewiderstand vorzusehen, der nach erfolgter Ladung im Nennbetrieb dann von einem Relais oder einem Halbleiterschalter kurzgeschlossen wird.

Das Abschalten des Motors aus dem Lauf dadurch, daß die Anschlüsse gleichzeitig entweder auf Plus oder Masse der Zwischenkreisspannung gelegt werden, hat zur Folge, daß erhebliche Stromspitzen auftreten, bis die magnetische Energie des Motors abgebaut ist. Ein Abschalten des Motors in der Weise, daß für alle drei Phasen die Amplitude 0 (d. h. Tastverhältnis 1:1) ausgegeben wird, vermeidet diesen Nachteil. Der effektive Motorstrom wird hier zu Null, so daß der Magnetfluß aufhört und aus diesem Grund auch nicht mit einer Erhöhung der Zwischenkreisspannung gerechnet werden muß. Beim Abschalten des Umrichters sollte zuerst die Verbindung Wechselspannungsnetz – Gleichspannungskreis unterbrochen werden, weil dann der noch fließende Motorstrom die Zwischenkreiskapazität relativ schnell entlädt. Außerdem können dann undefinierte Impulse, die beim Abschalten der Niederspannungsversorgung aus dem Ansteuerblock kommen, der Endstufe nicht mehr gefährlich werden.

SIEMENS

Siemens Aktiengesellschaft

Bestell-Nr. B3-B3129
Printed in Germany
PA 685 25.